

Malhas de Captura de Fase para a Sincronização e Processamento de Sinais da Rede Elétrica

JOSÉ LUÍS LISBOA BRANDÃO DE MELO

(Licenciado em Engenharia Eletrotécnica)

Dissertação para a obtenção do grau de Mestre em Engenharia Eletrotécnica Ramo de Automação e Eletrónica Industrial

Orientador:

Professor Doutor Vasco Emanuel Anjos Soares

Júris:

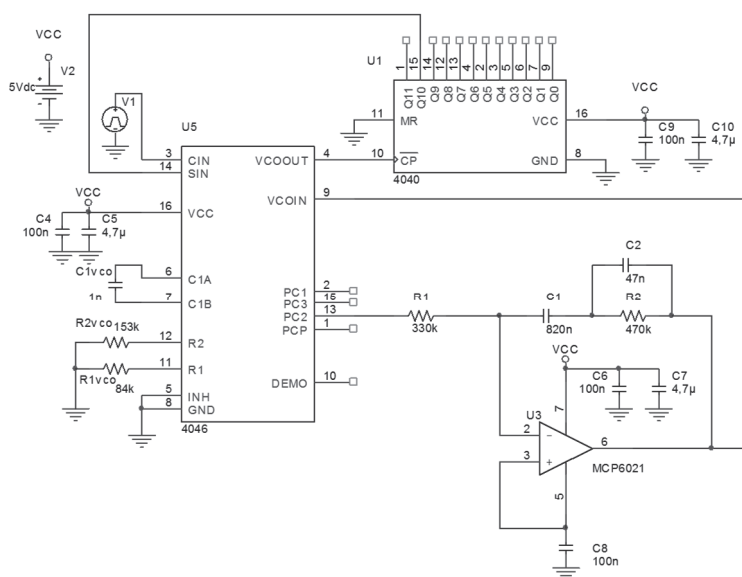
Presidente: Professor Doutor Luís Manuel Dos Santos Redondo

Vogais:

Professor Doutor Vasco Emanuel Anjos Soares

Professor Doutor Fernando Manuel Duarte Oliveira Nunes

Dezembro 2016



Malhas de Captura de Fase para a Sincronização e Processamento de Sinais da Rede Elétrica

JOSÉ LUÍS LISBOA BRANDÃO DE MELO

(Licenciado em Engenharia Eletrotécnica)

Dissertação para a obtenção do grau de Mestre em Engenharia Eletrotécnica Ramo de Automação e Eletrónica Industrial

Orientador:

Professor Doutor Vasco Emanuel Anjos Soares

Júris:

Presidente: Professor Doutor Luís Manuel Dos Santos Redondo

Vogais:

Professor Doutor Vasco Emanuel Anjos Soares

Professor Doutor Fernando Manuel Duarte Oliveira Nunes

Dezembro 2016

Resumo

O presente trabalho focou-se no desenvolvimento de uma malha de captura de fase para a obtenção do ângulo do vetor associado à tensão da rede elétrica. Este método de deteção é utilizado na sincronização de conversores estáticos de potência com ligação à rede elétrica.

As malhas de captura de fase são muito utilizadas em diversas áreas, tal como em comunicações, em instrumentação e em eletrónica de potência. Cada área de aplicação tem requisitos próprios, não havendo por isso uma malha de captura de fase que seja ideal. Os parâmetros de síntese são determinados em função dos objetivos a atingir e da especificidade dos sistemas a regular.

Foi realizado o estudo, o dimensionamento e a implementação de uma malha de captura de fase com as características adequadas, em termos de erro estático, velocidade de resposta e amortecimento para a sincronização de conversores de potência com a rede elétrica.

A malha de captura de fase implementada tem as características desejadas de modo a gerar uma tensão de referencia com a mesma fase que a tensão da rede. Com essa tensão de referencia é possível ao conversor estático de potência regular o trânsito de energia para a rede.

Abstract

The main focus of this dissertation is to design a phase locked loop (PLL) to obtain the angle of the grid voltage. This method is used for the synchronization of the power inverters that establishes the integration of the energy generated by solar panels in to the power grid.

The PLL is a device with a very wide range of applications and is used in very different areas, such as communications, instrumentation or power electronics. Given that these different applications have their own specifications and requirements, there is no PLL with ideal design parameters. The parameters are determined based on the goals and the specificity of the system to regulate.

A study was made to determine the PLL parameters that are most suitable for the synchronization of the power inverters with the power grid, ensuring a static error, a response speed and a dumping that would allow the integration of photovoltaic systems in the power grid.

The characteristics of the PLL implemented are the most suited to generate a reference voltage in phase with the grid voltage. With that reference the power inverter can control the traffic of energy to the grid.

Agradecimentos

Quero agradecer em primeiro lugar ao meu orientador, Prof. Vasco Soares, pela sugestão do tema, disponibilidade, paciência e imprescindível orientação ao longo do desenvolvimento deste trabalho.

Á minha família que sempre me apoiaram durante todo este processo.

Á minha namorada, Mafalda Claro, pela força e o apoio incondicionais que me deu desde o início.

Por último a todos os meus amigos e colegas que se foram cruzando comigo ao longo de todo o processo académico e com quem aprendi muito.

Índice

Resumo	ii
Abstract.....	iii
Agradecimentos	iv
Índice de Figuras	vii
Anexos.....	ix
Índice de Tabelas.....	x
Símbolos e Variáveis	xi
Acrónimos e Abreviaturas	xiii
1 Capítulo I: Introdução	1
1.1 Enquadramento e Motivação	2
1.2 Objetivos	5
1.3 Estrutura da Dissertação.....	5
2 Capítulo II: Estudo dos Sistemas	7
2.1 Detetores de fase	8
2.1.1 Multiplicador	9
2.1.2 Exclusive-OR (XOR).....	11
2.1.3 Fase – frequência de transição ascendente.....	15
2.1.4 JK-flip-flop.....	21
2.1.5 Resumo dos detetores de fase	24
2.2 Filtro.....	25
2.2.1 Montagem passiva de compensação de avanço-atraso (Passive Lead-Lag) 26	
2.2.2 Montagem ativa de compensação de avanço-atraso (Passive Lead-Lag)..	28
2.2.3 Montagem ativa de compensação proporcional integral de 1ª Ordem (PI ativo)	30
2.2.4 Resumo dos filtros	32
2.3 Oscilador Controlado por Tensão (VCO).....	33
3 Capítulo III: Dimensionamento do PLL	37
3.1 Introdução	38
3.2 Escolha do detetor de fase.....	39
3.3 Escolha do filtro	39
3.4 Obtenção do fator de divisão N	40
3.5 Dimensionamento do VCO.....	40
3.6 Estudo do sistema através da análise da função de transferência	45
3.6.1 Funções de transferência.....	45
3.6.2 Exatidão	48
3.6.3 Obtenção do parâmetro ξ	49
3.6.4 Obtenção do parâmetro ω_n	50
3.6.5 Dimensionamento do filtro	52
3.6.6 Calculo dos parâmetros do PLL.....	53
3.7 PLL de 3ª ordem	55
3.7.1 Estudo do sistema com filtro ativo PI de 2ª ordem.....	55
3.7.2 Função de transferência do sistema com o filtro de 2ª ordem	56
3.7.3 Dimensionamento do filtro	56

4	Capítulo IV: Implementação e Resultados	57
4.1	Esquema de ligações da implementação prática	58
4.2	Resposta do sistema simulada no Matlab	62
4.2.1	PLL de 2ª ordem	62
4.2.2	PLL de 3ª ordem	67
4.3	Resultados obtidos através de implementação	71
4.3.1	Resposta do PLL com entrada simulada	71
4.3.2	Resposta do PLL com entrada da rede	77
5	Capítulo V: Conclusões e propostas de trabalho futuras	81
5.1	Conclusão	82
5.2	Propostas de trabalho futuro	84
	Bibliografia	85
	Anexos	87

Índice de Figuras

Figura 1.1.1 – Conversor monofásico em ponte completa (adaptada de [9]).....	3
Figura 2.1 – Malha da captura de fase de um PLL.....	8
Figura 2.1.1 – Detetor Multiplicador.....	9
Figura 2.1.2 – Evolução temporal das tensões de entrada e saída do PLL multiplicador.....	9
Figura 2.1.3 – Detetor Exclusive- OR (XOR).....	11
Figura 2.1.4 – Forma de onda do sinal do detetor Exclusive-OR.....	12
Figura 2.1.5 – Valor médio da saída do detetor em função do erro de fase.....	13
Figura 2.1.6 – Esquema de ligações do detetor de fase-frequência com saída em tensão ..	15
Figura 2.1.7 – Diagrama de passagem de estado do detetor fase-frequência.....	15
Figura 2.1.8 – Formas de onda do detetor fase-frequência.....	18
Figura 2.1.9- Valor médio do sinal de saída do detetor em relação ao erro de fase.....	19
Figura 2.1.10 – Variação do duty-cycle do sinal de saída em função da relação das frequências.....	19
Figura 2.1.11 – Esquema de ligações do detetor de fase-frequência com saída em corrente.....	20
Figura 2.1.12 – Detetor JK-flip-flop.....	21
Figura 2.1.13 – Formas de onda do detetor JK-flip-flop.....	21
Figura 2.1.14- Valor médio do sinal de saída do detetor em relação ao erro de fase.....	22
Figura 2.2.2 – Circuito de um filtro Lead-Lag passivo com entrada em tensão	26
Figura 2.2.3 – Resposta em frequência de um filtro Lead-Lag passivo com entrada em tensão	27
Figura 2.2.4 – Circuito de um filtro Lead-Lag passivo com entrada em corrente.....	27
Figura 2.2.5 – Resposta em frequência de um filtro Lead-Lag passivo com entrada em corrente.....	28
Figura 2.2.6 – Circuito de um filtro Lead-Lag ativo com entrada em tensão	28
Figura 2.2.7 – Resposta em frequência de um filtro Lead-Lag ativo com entrada em tensão.....	29
Figura 2.2.8 – Circuito de um filtro Lead-Lag ativo com entrada em corrente.....	29
Figura 2.2.9 – Circuito de um filtro PI activo com entrada em tensão.....	30
Figura 2.2.10 – Circuito de um filtro PI ativo com entrada em corrente.....	31
Figura 2.3.1 – Esquema de um VCO de ressonância	33
Figura 2.3.2 – Circuito de um VCO de relaxamento.....	34
Figura 2.3.3 – Característica ideal do VCO.....	35
Figura 2.3.4 – Característica real do VCO	36
Figura 3.5.1 – Gráfico para obtenção do produto $R_{1VCO} * C_{1VCO}$ em função da gama de frequência $2f_L$ e da tensão de alimentação	41
Figura 3.5.2 – Gráfico para obtenção da resistência R_{2VCO} e do condensador C_{VCO} em função da frequência de offset f_{off} e da tensão de alimentação	42
Figura 3.6.1 – diagrama de blocos de um PLL.....	45
Figura 3.6.2 – Gráfico da evolução do sistema ao longo do tempo a frequência natural para diferentes valores de ξ	49
Figura 3.6.3 – Gráfico da resposta em frequência de um sistema com um $\xi = 2,1$ para diferentes ω_n	51
Figura 3.6.4 – Gráfico da estabilidade estática e dinâmica de um LPLL de 2ª ordem.....	53

Figura 3.7.1 – Filtro ativo PI 2 ^a ordem	55
Figura 4.1.1 – Esquema de ligações para obtenção da tensão de entrada	58
Figura 4.1.2 – Esquema de ligações completo (com 2 Ampops)	59
Figura 4.1.3 – Esquema de ligações simplificado (com 1 Ampop).....	60
Figura 4.1.4 – Esquema de ligações simplificado com o filtro de 2. ^a ordem	61
Figura 4.2.1 – Resposta à entrada tipo escalão. a) Coeficiente de amortecimento 0,707. b) Coeficiente de amortecimento 2,07	62
Figura 4.2.2 – Resposta à entrada tipo rampa. a) Coeficiente de amortecimento 0,707. b) Coeficiente de amortecimento 2,07	63
Figura 4.2.3 – Resposta à entrada tipo parábola. a) Coeficiente de amortecimento 0,707. b) Coeficiente de amortecimento 2,07.....	63
Figura 4.2.4 – Resposta em frequência em cadeia aberta. a) Coeficiente de amortecimento 0,707. b) Coeficiente de amortecimento 2,07.....	65
Figura 4.2.5 – Gráfico da resposta em frequência do sistema em cadeia aberta a) com um C ₂ de 82nF (C ₁ = 10C ₂) b) com um C ₂ de 41nF (C ₁ = 20C ₂).....	67
Figura 4.2.6 – Gráfico da evolução do sistema ao longo do tempo, a) com C ₂ de 82 nF (C ₁ = 10C ₂)	69
b) com C ₂ de 41 nF (C ₁ = 20C ₂)	69
Figura 4.2.7 – Resposta do sistema com C ₂ de 47nF, a) a uma entrada do tipo escalão.....	70
b) resposta em frequência do sistema em cadeia aberta.	70
Figura 4.3.1 – Tensão de entrada (a azul) e de saída do PLL (a cor de rosa). a) com uma escala de 5ms/divisão, b) com uma escala de 10 μs/divisão	72
Figura 4.3.2 – Tensão de entrada (a azul) e de saída (a cor de rosa) do PLL. a) Tensão de entrada a 40 Hz e b) Tensão de entrada a 60 Hz	73
Figura 4.3.3 – Tensão de saída do filtro (a azul) e (a cor de rosa) a) Tensão de entrada do PLL a 50 Hz, b) Tensão de saída do PLL.....	74
Figura 4.3.4 – Tensão de saída do filtro (a azul) e tensão de saída do PLL sem tensão de entrada cor de rosa).....	75
Figura 4.3.5 – Tensão de saída do filtro (a azul) e tensão de entrada do PLL (a cor de rosa).	75
Figura 4.3.6 – Tensão da rede à saída do transdutor (a azul) e tensão de saída do PLL (a cor de rosa).	77
Figura 4.3.7 – Tensão da rede à saída do comparador (a azul) e tensão de saída do PLL (a cor de rosa)	78
Figura 4.3.8 – Tensão sinusoidal da rede (a azul) e (a cor de rosa) a) Tensão de saída do PLL, b) Tensão de saída do comparador	79

Anexos

Anexo 1 – Código em Matlab para determinar os parâmetros ξ e ω_n	87
Anexo 2 – Código em Matlab para obter as respostas do PLL aos diferentes tipos de entrada e resposta em frequência.....	88

Índice de Tabelas

Tabela 1 – Tabela dos estados lógicos das entradas e da saída do detetor exclusive – OR	11
Tabela 2 – Tabela com as principais características dos detetores de fase.....	24
Tabela 3 – Tabela com as principais características dos vários filtros	32

Símbolos e Variáveis

θ_1 – Ângulo de entrada da malha de captura de fase (PLL) – (rad)

θ_2 – Ângulo de saída do divisor de frequências – (rad)

θ_e – Ângulo de saída do detetor de fase – (rad)

C_1, C_2 – Condensadores utilizados nos filtros descritos – (F)

C_{VCO} – Condensador de parametrização do VCO – (F)

e_f – Erro estático

f_{med} – Frequência média do VCO – (Hz)

f_{min} – Frequência mínima do VCO – (Hz)

f_{max} – Frequência máxima do VCO – (Hz)

$f_{entradamin}$ – frequência mínima do sinal de entrada – (Hz)

$f_{entradamax}$ – frequência máxima do sinal de entrada – (Hz)

f_0 – frequência central de funcionamento do VCO – (Hz)

$2f_L$ – Margem de frequências sincronizáveis – (Hz)

f_{off} – Frequência em funcionamento livre do VCO – (Hz)

ω_1 – Frequência angular do sinal de entrada – (rad/s)

ω_2 – Frequência angular do sinal de saída – (rad/s)

ω_n – Frequência angular natural do sistema – (rad/s)

ω_{3dB} – Frequência de corte – (rad/s)

$\Delta\omega_P$ – Margem de pull-in – (rad/s)

$\Delta\omega_H$ – Margem de manutenção – (rad/s)

$\Delta\omega_{po}$ – Margem de pull-out – (rad/s)

$\Delta\omega_L$ – Margem de captura – (rad/s)

$\Delta\omega_{max}$ – variação máxima de frequência – (rad/s)

K_d – Ganho do detetor de fase

K_f – Ganho do filtro

K_v – Constante de ganho do VCO – (rad/s/V)

K_0 – Ganho do VCO

K_N – Ganho do divisor de frequências

R_1, R_2 – Resistências utilizadas nos filtros descritos – (Ω)

R_{1vco}, R_{2vco} – Resistências de parametrização do VCO

i_B – Amplitude da fonte de corrente

i_d – Corrente de saída do detetor de fase PFD controlado em corrente

t – Tempo – (s)

t_s – Tempo de estabilização – (s)

T – Período – (s)

τ_1, τ_2, τ_3 – Constantes de tempo dos filtros descritos – (s)

u_1 – Tensão de entrada do PLL – (V)

u'_2 – Tensão de saída do divisor de frequências – (V)

u_d – Tensão de saída do detetor de fase – (V)

u_f – Tensão de saída do filtro – (V)

U_1 – Valor máximo da tensão de entrada – (V)

U_2 – Valor máximo da tensão de retroação – (V)

U_B – Diferença de potencial da saída do detetor de fase – (V)

U_{sat+} - Tensão máxima de saída do detetor de fase – (V)

U_{sat-} - Tensão mínima de saída do detetor de fase – (V)

U_{CC} – Tensão de alimentação do circuito – (V)

N – Divisor de frequência

ξ – Coeficiente de amortecimento do sistema

$G(s)$ – Ganho da cadeia de ação do PLL

$H(s)$ – Ganho da cadeia de retroação do PLL

Acrónimos e Abreviaturas

AC – Corrente alternada (Alternate Current)

Ampop – Amplificador operacional

DC – Corrente contínua (Direct Current)

FTCA – Função de transferência em cadeia aberta

FTCF – Função de transferência em cadeia fechada

LPLL – Malha de captura de fase linear (Linear Phase Locked Loop)

PFD – Detetor de fase e frequência (Phase Frequency Detector)

PLL – Malha de captura de fase (Phase Locked Loop)

PI – Filtro proporcional integral (Proportional Integrative)

PWM – Modulação por largura de impulso

VCO – Oscilador controlado em tensão (Voltage Controlled Oscillator)

Capítulo I: Introdução

Resumo:

Neste Capítulo será feita uma pequena introdução ao trabalho desenvolvido, incluindo o enquadramento e motivação, onde é explicado o porquê da seleção do tema, os objetivos que seriam apropriados dado este trabalho, e uma explicação da estrutura da dissertação.

1.1 Enquadramento e Motivação

Nos últimos anos temos assistido a um aumento na procura de energias renováveis. Para além de serem energias não nocivas para o ambiente, as energias renováveis permitem também reduzir a dependência do petróleo, principal fonte de energia atual. No âmbito das negociações internacionais relacionadas com as alterações climáticas, esforços têm sido feitos para que a nível global os países se comprometam a reduzir as suas emissões de gases com efeito de estufa de forma a evitar um aumento da temperatura global do planeta 2° C acima dos níveis pré-industriais [1]. Contudo, este objetivo ambicioso só será possível de atingir se houver uma transformação e reinvenção do uso e produção de energia a nível global. Para isso, grande prioridade terá de ser dada ao sector energético, uma vez que este representa mais de um terço das emissões globais [2].

Uma das fontes de energia renovável onde se tem verificado um grande interesse é a energia solar, uma vez que o rápido desenvolvimento tecnológico e a descida dos preços dos painéis solares a tornam numa alternativa bastante atrativa [3]. Devido a este acrescido interesse na utilização de energia solar, alguns países começam a criar condições para que o sistema possa ser ligado à rede (e.g., [4]; [5]). Uma vez que vários países têm já requisitos para a ligação com a rede no caso da energia eólica, é espectável que esses requisitos sejam numa primeira fase também aplicados à energia fotovoltaica [6].

Um dos principais requisitos para potenciar a utilização de sistemas fotovoltaicos e o seu correto funcionamento é o de garantir que estes se ligam corretamente à rede [4], mas também que se mantêm estáveis e sincronizados com a rede elétrica mesmo na existência de cavas ou picos de tensão. Nesse sentido, em situação de falha da rede, os sistemas devem apenas começar a fornecer energia imediatamente após o retorno da tensão em condições de estabilidade da mesma [7].

Os painéis fotovoltaicos estão ligados à rede elétrica através de conversores estáticos de potência DC/AC. São estes conversores que são responsáveis por realizar a conversão de energia e cumprir as exigências impostas pela rede elétrica [3]. Os conversores têm de

estar devidamente sincronizados com a rede, de modo a cumprirem com os requisitos desta, mas também para realizarem o controlo do ângulo da tensão gerada [4]. É com base neste controlo que se torna possível regular o trânsito de energia para a rede.

O aparecimento de conversores sem transformador é uma das razões que levou ao aumento do interesse na energia fotovoltaica uma vez que comparando com os conversores com transformador estes são mais pequenos e mais leves, são mais baratos e mais eficientes, uma vez que deixa de ter as perdas do transformador (e.g., [4], [8]). Na figura 1.1.1 está representado o esquema exemplificativo de um conversor monofásico em ponte completa com as indutâncias de interligação. Neste esquema, a ativação dos semicondutores pode realizar-se por modulação por largura de impulso (PWM), tendo por base uma tensão de referência em fase com a tensão da rede.

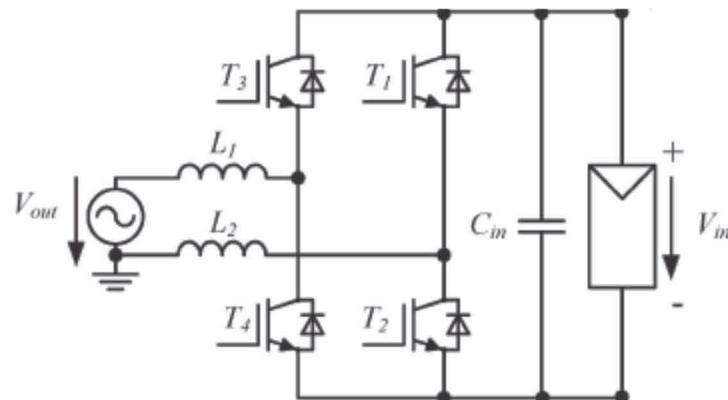


Figura 1.1.1 – Conversor monofásico em ponte completa (adaptada de [9])

Duas hipóteses para obter uma tensão de referência com a mesma fase que a tensão da rede podem ser utilizadas: comparadores e malha de captura de fase. Contudo, dada a robustez e versatilidade da malha de captura de fase (que permite ter respostas muito diferentes consoante os objetivos), tem sido este o método mais largamente implementado para sincronização com a rede de energia (e.g., [7], [10]), sendo este portanto o método estudado, dimensionado e implementado neste estudo.

Enquanto o comparador tem uma resposta rápida e a tensão de saída é uma réplica da tensão de entrada [11] com uma malha de captura de fase é possível ter diferentes velocidades de resposta, e uma tensão de saída com um elevado grau de imunidade às perturbações da tensão de entrada, sendo uma réplica da 1.^a harmónica desta [e.g., 7, 12]. São estas vantagens da malha de captura de fase que tornam este método tão versátil e atrativo para diversas utilizações, nomeadamente na área das comunicações (modelação de sinais digitais) ou instrumentação (conversores de tensão frequência)

A introdução dos conversores sem transformador foi uma inovação importante no desenvolvimento dos sistemas fotovoltaicos, mas apresentam ainda limitações (e.g., [7], [9]) sendo, portanto, importante um estudo continuado deste método.

1.2 Objetivos

Este trabalho tem como objetivo o estudo, o projeto e a implementação de uma malha de captura de fase (PLL) que crie uma réplica da tensão da rede fornecendo ao conversor estático a informação necessária para gerar a tensão de referência de modo a regular o trânsito de energia ativa para rede.

A malha de captura de fase deve apresentar características de robustez específicas atendendo às perturbações que se desenvolvem na rede de energia, criando uma imagem da onda de tensão da rede, sincronizada com a 1ª harmónica desta, garantindo a ausência de erro estático mesmo sob condições de variação de frequência.

Para isso é necessário realizar inicialmente um estudo da malha de captura de fase e de cada um dos seus blocos, estudando as várias alternativas para cada um deles e verificando qual das alternativas é mais adequada para criar uma malha de captura de fase para sincronização com a rede elétrica.

1.3 Estrutura da Dissertação

Este trabalho foi estruturado em 5 capítulos iniciando-se com uma introdução ao trabalho desenvolvido, no Capítulo I.

Depois de feita uma introdução ao trabalho desenvolvido, no Capítulo II, é feita uma introdução à malha de captura de fase (PLL), são fornecidas algumas informações sobre este tipo de circuitos e uma descrição dos seus blocos constituintes.

Após este capítulo, dá-se início ao dimensionamento do PLL no Capítulo III. É neste capítulo que é presente o dimensionamento do PLL, são determinados os parâmetros dos vários blocos do PLL, a função de transferência do PLL e no final deste capítulo são verificadas as margens de frequência do PLL.

O Capítulo IV apresenta os resultados obtidos em simulação através do Matlab, diferentes alternativas de circuitos para implementar e os resultados da implementação prática de um desses circuitos.

Por fim, finaliza-se o trabalho com Capítulo V, onde são apresentadas todas as conclusões retiradas ao longo deste trabalho para as diferentes implementações, deixando-se em aberto uma possível proposta de estudo futuro.

Capítulo II: Estudo dos Sistemas

Resumo:

Neste capítulo será feito o estudo do PLL e dos seus componentes.

Começar-se-á por descrever os diferentes detetores de fase existentes e suas características. Seguidamente descrevem-se os diferentes filtros que possam ser utilizados neste tipo de aplicações, sendo depois mencionados os dois tipos de VCO existentes e por fim o divisor de frequências.

Todos estes componentes são explicados detalhadamente, sendo possível após este capítulo averiguar os prós e contras de cada um, tendo em conta a aplicação do PLL.

O PLL pode ser representado pelo diagrama da figura 2.1, cada um dos blocos representados na malha de captura de fase da figura 2.1 pode ser representado por uma expressão matemática.

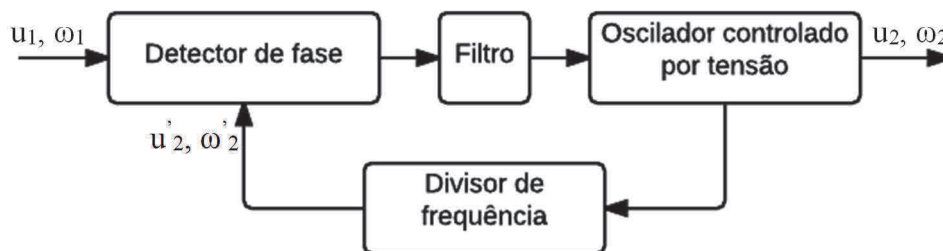


Figura 2.1 – Malha da captura de fase de um PLL

Neste capítulo são descritas as diferentes opções para cada um dos blocos da malha de captura de fase [12].

2.1 Detetores de fase

O detetor de fase é o componente do PLL que compara o sinal de referência com o sinal de saída do PLL. É consoante o erro detetado por este detetor que o PLL vai avançar ou atrasar a fase da sua saída.

As opções descritas em baixo são: diagrama do detetor de fase multiplicador, detetor de fase Exclusive-OR (XOR), detetor de fase e frequência com saída em tensão, detetor de fase e frequência com saída em corrente, e detetor JK *flip flop*.

2.1.1 Multiplicador

Na figura 2.1.1 está representado o diagrama do detetor de fase multiplicador, este detetor é utilizado exclusivamente em PLLs lineares (LPLL) [12].



Figura 2.1.1 – Detetor Multiplicador

Na figura 2.1.2 estão representados os sinais de entrada e de comparação do detetor multiplicador.

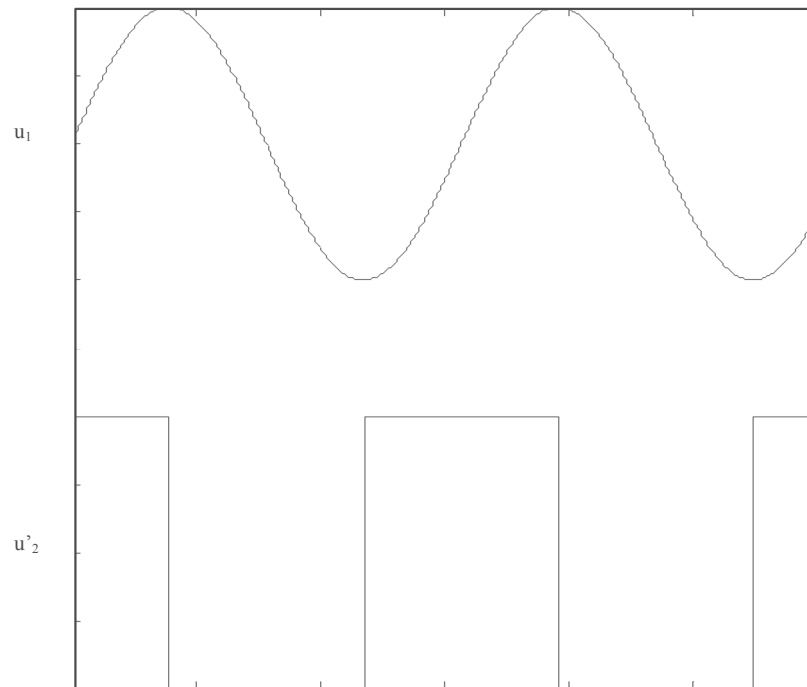


Figura 2.1.2 – Evolução temporal das tensões de entrada e saída do PLL multiplicador

A tensão do sinal de referência ($u_1(t)$) é uma tensão sinusoidal enquanto a tensão de sinal de retroação é uma tensão quadrada ($u_2(t)$) e podem ser representadas pelas seguintes equações,

$$u_1(t) = U_1 \sin(\omega_1 t + \theta_1) \quad 2.1.1$$

$$u'_2(t) = U_2 \text{rect}(\omega'_2 t + \theta'_2) \quad 2.1.2$$

Decompondo u'_2 em séries de Fourier obtém-se:

$$u'_2(t) = U_2 \frac{4}{\pi} \sum_{k=1}^{\infty} \left[\frac{\cos((2k-1)\omega'_2 t + \theta'_2)}{(2k-1)} \right] \quad 2.1.3$$

$$u'_2(t) = U_2 \left[\frac{4}{\pi} \cos(\omega'_2 t + \theta'_2) + \frac{4}{3\pi} \cos(3\omega'_2 t + \theta'_2) + \dots \right] \quad 2.1.4$$

Desta forma a tensão de saída obtém-se fazendo o produto das duas entradas:

$$\begin{aligned} u_d(t) &= u_1(t)u'_2(t) = \\ &= U_1 U_2 \sin(\omega_1 t + \theta_1) \left[\frac{4}{\pi} \cos(\omega'_2 t + \theta'_2) + \frac{4}{3\pi} \cos(3\omega'_2 t + \theta'_2) + \dots \right] \end{aligned} \quad 2.1.5$$

Quando o PLL está sincronizado as frequências, ω_1 e ω'_2 são idênticas e a tensão de saída passa a ser:

$$u_d(t) = U_1 U_2 \left[\frac{2}{\pi} \sin(\theta_e) \right] = \frac{2U_1 U_2}{\pi} \sin(\theta_e) \cong \frac{2U_1 U_2}{\pi} \theta_e \quad 2.1.6$$

$$K_d = \frac{2U_1 U_2}{\pi} \quad 2.1.7$$

A tensão de saída $u_d(t)$, equação 2.1.6, é apenas a multiplicação dos dois sinais de entrada, e $\theta_e = \theta_1 - \theta'_2$ é a diferença entre a fase das duas tensões.

2.1.2 Exclusive-OR (XOR)

O detetor de fase Exclusive-OR (XOR), representado na figura 2.1.3, não tem uma função que descreva o seu funcionamento, o valor do sinal de saída é determinado de acordo com a tabela 1 [12],



Figura 2.1.3 – Detetor Exclusive- OR (XOR)

A tabela 1 caracteriza a saída do detetor Exclusive-OR consoante o valor das entradas, quando os sinais de entrada estão ambas a “1” ou a “0” o sinal de saída está a “0” quando os sinais de entrada estão trocados u_1 a “1” e u'_2 a “0”, e vice-versa, o sinal de saída está a “1”.

$u_1(t)$	$u'_2(t)$	$u_d(t)$
0	0	0
0	1	1
1	0	1
1	1	0

Tabela 1 – Tabela dos estados lógicos das entradas e da saída do detetor exclusive – OR

A figura 2.1.4 mostra os sinais de entrada e a respetiva saída numa situação de sincronismo, os sinais deste detetor têm de ser sinais digitais (binário) e tanto o sinal de referência como o sinal de retroação do PLL têm de ser sinais com um *duty-cycle* de 50 %, têm de estar o mesmo tempo no estado logico “1” e no estado logico “0” para que o detetor funcione corretamente.

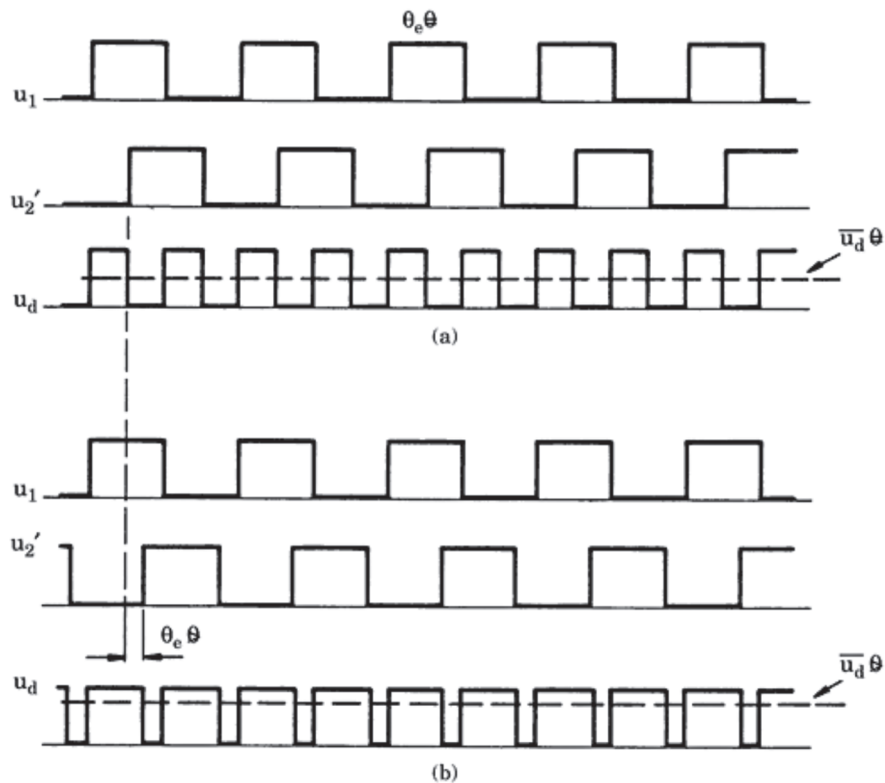


Figura 2.1.4 – Forma de onda do sinal do detetor Exclusive-OR.

Como se pode ver na figura 2.1.4 quando o PLL está sincronizado, erro de fase nulo, o sinal de referência e o sinal de retroação estão desfasados de 90° e o sinal de saída é também uma onda quadrada com um *duty-cycle* de 50 % mas com uma frequência que é o dobro da frequência dos sinais de entrada, essa frequência por ser muito elevada vai ser eliminada pelo filtro do PLL por isso apenas consideramos como saída do detetor o seu valor médio, \bar{u}_d , que numa situação de sincronismo é de $\frac{U_{CC}}{2}$.

Sendo este o valor de \bar{u}_d que representa o estado de sincronismo iremos considerar este ponto como $\bar{u}_d = 0$.

No caso de a saída do PLL estar atrasada o sinal de saída do detetor vai estar mais tempo no estado lógico “1” do que no estado lógico “0” o que vai fazer com que o valor médio da saída do detetor seja mais elevado.

O valor médio da saída do detetor atinge o seu valor máximo para uma diferença de fases de 90° e o seu valor mínimo para uma diferença de fases de -90° .

O valor médio da saída do detetor XOR é proporcional ao erro.

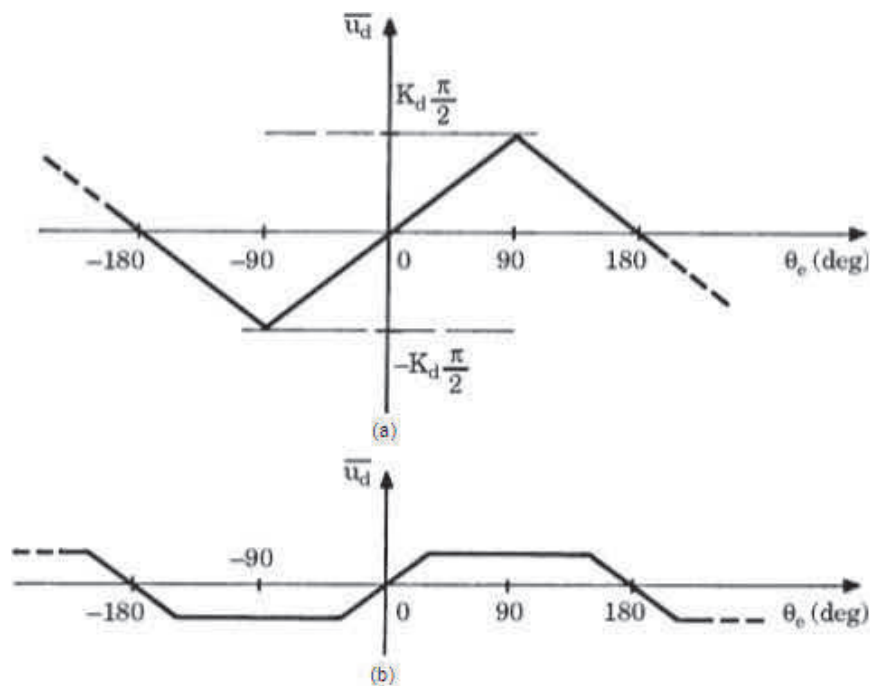


Figura 2.1.5 – Valor médio da saída do detetor em função do erro de fase.

Na figura 2.1.5 representa a evolução do valor médio do sinal de saída do detetor consoante o valor do erro de fase. Na figura 2.1.5b está representada essa mesma resposta mas na situação em que os sinais não têm um *duty-cycle* de 50 %.

Pela figura 2.1.5 podemos ver que este detetor requer um *duty-cycle* de 50 % tanto no sinal de referência como no sinal de saída do PLL, caso contrario o ganho do detetor é limitado, reduzindo assim o intervalo de sincronismo.

Quando não está sincronizado as frequências dos dois sinais são diferentes, a saída do detetor vai ter uma frequência igual à diferença entre frequências dos dois sinais.

Como os dois sinais têm frequências diferentes o sinal de saída do detetor vai ser um sinal AC assimétrico, caso fosse simétrico o seu valor médio seria zero e a frequência do sinal de saída do PLL estaria sempre na frequência central logo o PLL não conseguia sincronizar com o sinal de referência. Mesmo assim só será possível ao PLL sincronizar se a diferença das frequências não for superior ao *pull-in range*, valor limite a partir do qual o PLL já não consegue adquirir sincronismo.

Este é um processo de aquisição de sincronismo lento e limitado.

A tensão \bar{u}_d é dada por:

$$\bar{u}_d = K_d \theta_e, \text{ com } K_d = \frac{U_B}{\pi} = \frac{U_{\text{sat}+} - U_{\text{sat}-}}{\pi} \quad 2.1.8$$

Onde θ_e representa o angulo de saída do detetor de fase, U_B a diferença de potencial da saída do detetor de fase e $U_{\text{sat}+}$ e $U_{\text{sat}-}$ a tensão máxima e mínima de saída do detetor de fase.

Ganho do detetor:

$$K_d = \frac{V_{cc}}{\pi} \quad 2.1.9$$

2.1.3 Fase – frequência de transição ascendente

Detetor de fase e frequência com saída em tensão

Uma das principais vantagens dos detetores de fase-frequência (PFD) é que o processo de sincronização depende tanto do erro de fase como do erro de frequência [12].

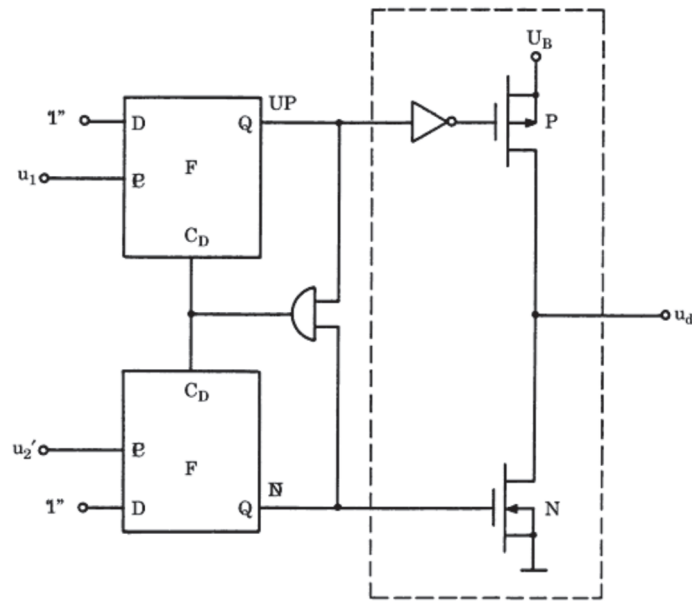


Figura 2.1.6 – Esquema de ligações do detetor de fase-frequência com saída em tensão

Este detetor é constituído por dois *flip-flop-D*, “UP” e “DN” (*down*), que vão detetar as transições ascendentes dos sinais a comparar.

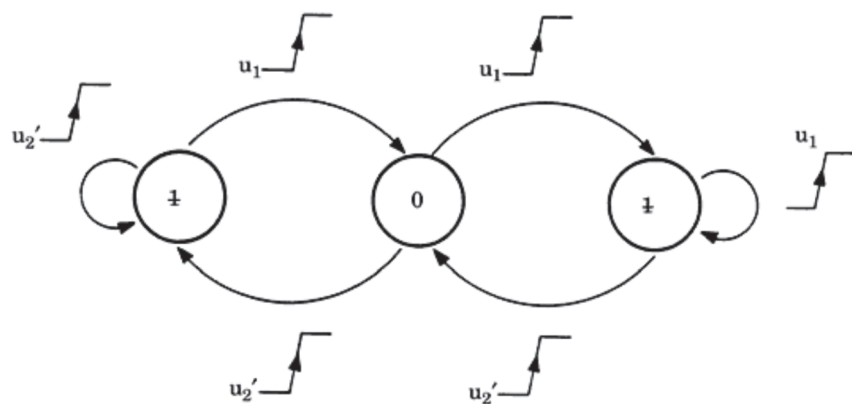


Figura 2.1.7 – Diagrama de passagem de estado do detetor fase-frequência

Como podemos ver na figura 2.1.7 quando o *flip-flop-D*, “UP”, deteta uma transição ascendente do sinal de referência, u_1 , o detetor passa para o estado imediatamente acima do atual, exceto se já estiver no estado 1, nesse caso o detetor vai-se manter no mesmo estado até ser detetada uma transição ascendente do sinal de saída do PLL, quando o *flip-flop-D*, “DN”, deteta uma transição ascendente do sinal de saída do PLL o detetor vai passar para o estado imediatamente abaixo do atual, exceto se já estiver no estado -1, nesse caso vai se manter no mesmo estado até ser detetada uma transição ascendente do sinal de referência.

Apesar de ser um detetor com quatro estados pode-se ver na figura 2.1.6 que quando os dois *flip-flop-D* detetam uma transição ascendente ao mesmo tempo a entrada C_D dos *flip-flop-D* vai ser ativada e anula ambas as transições.

Deste modo os três estados do detetor são os seguintes:

- $DN = 1, UP = 0 \rightarrow \text{estado} = -1$
- $UP = 0, DN = 0 \rightarrow \text{estado} = 0$
- $UP = 1, DN = 0 \rightarrow \text{estado} = 1$

O sinal de saída, u_d , é positiva quando o detetor está no estado ‘1’, negativa quando o detetor está no estado ‘-1’, quando o detetor está no estado ‘0’ o sinal de saída deveria ser zero mas como a maioria dos circuitos lógicos atualmente apenas geram sinais binários o estado zero é substituído por um estado de alta impedância, este estado funciona como um circuito aberto visto que a saída não vai afetar o circuito para a frente, ele é que pode ser afetado pelo resto do circuito visto que não está ligado a nenhum valor, podendo ser referido como um estado flutuante.

Para gerar o sinal de saída u_d são usados dois MOSFET, um de canal P e um de canal N, quando o *flip-flop* “UP” deteta um flanco ascendente o MOSFET-P passa ao estado ON, a conduzir, permanecendo o MOSFET-N no estado OFF, em repouso, fazendo com que o sinal de saída u_d tenha o valor da alimentação do circuito U_B , quando o *flip-flop* “DN” deteta o flanco ascendente é o MOSFET-N que vai passar ao estado ON e é o MOSFET-P que permanece no estado OFF ligando a saída u_d à massa, quando estão os dois no estado OFF, nenhum *flip-flop* detetou um flanco ascendente, a saída não esta ligada nem à tensão de alimentação nem à massa, não tendo um valor fixo, esta no estado de alta impedância, estado flutuante.

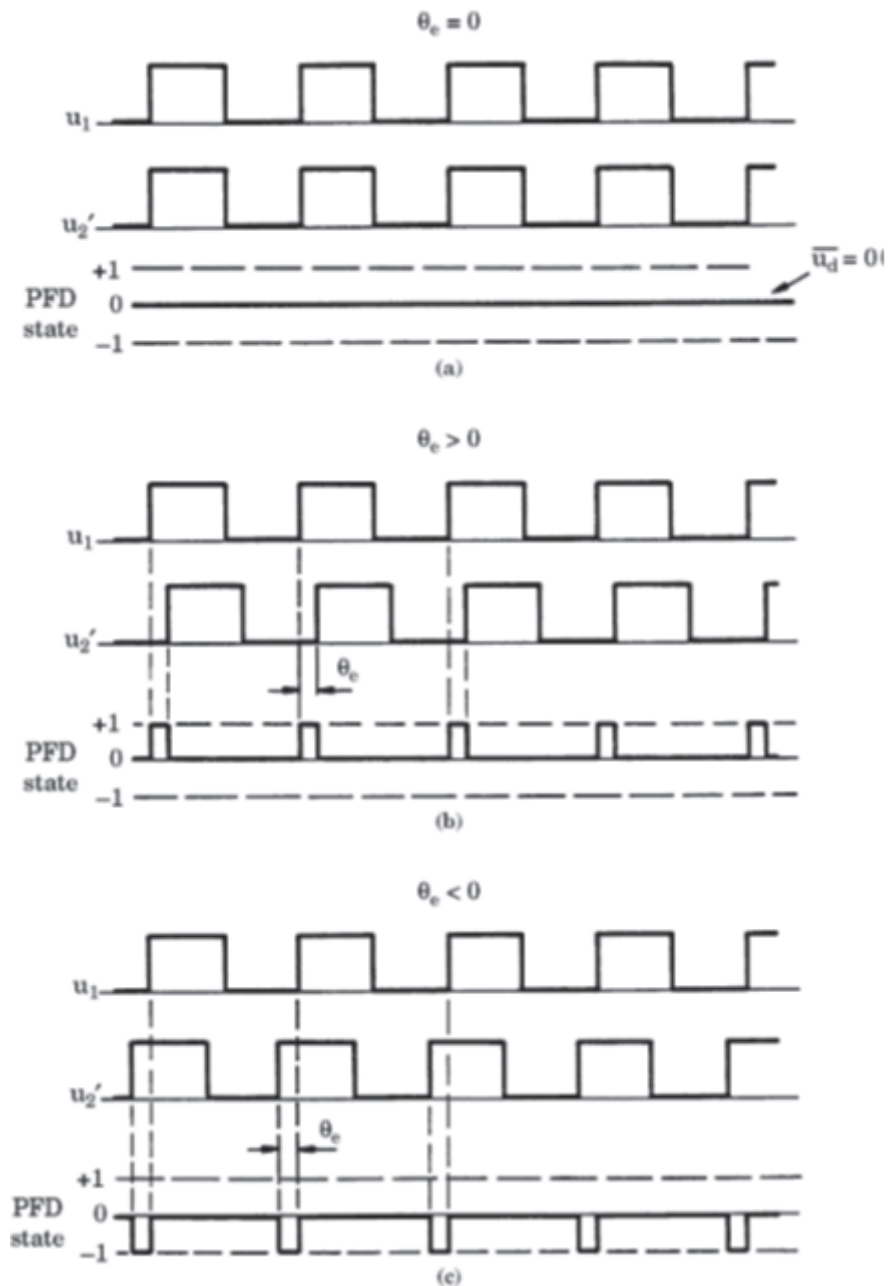


Figura 2.1.8 – Formas de onda do detetor fase–frequência

Na figura 2.1.8 está exemplificado o funcionamento em sincronismo para três situações, as duas ondas com erro de fase nulo figura 2.1.8a, com erro de fase positivo, sinal de referência atrasado figura 2.1.8b e com erro de fase negativo, sinal de referência adiantado figura 2.1.8c.

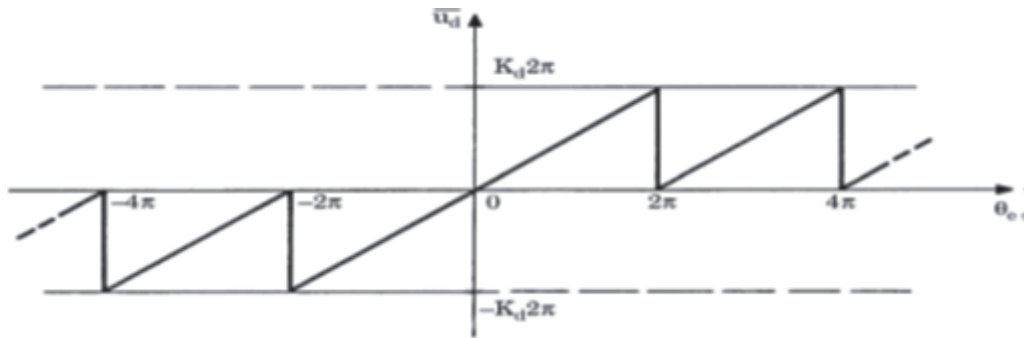


Figura 2.1.9- Valor médio do sinal de saída do detetor em relação ao erro de fase

Na figura 2.1.9 pode-se ver que quando o erro é nulo o valor médio do sinal de saída do detetor é também nulo, quando o erro é positivo, sinal de referência adiantado, o valor médio do sinal é também positivo e à medida que o erro aumenta o valor médio do sinal também aumenta e atinge o valor máximo para um adiantamento de 360° .

Quando o sinal de referência está atrasado o erro é negativo e o valor médio do sinal de saída do detetor também é negativo atingindo o valor mínimo para um atraso de 360°

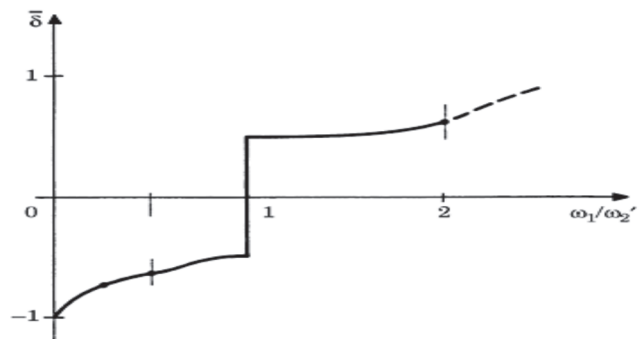


Figura 2.1.10 – Variação do *duty-cycle* do sinal de saída em função da relação das frequências

Na figura 2.1.10 podemos ver a evolução do *duty-cycle* em relação à variação da relação das frequências dos sinais, ω_1/ω_2' . O *duty-cycle* é definido pela fração do tempo que o PFD está no estado 1, quando $\omega_1 < \omega_2'$, e por menos a fração do tempo que o PFD está no estado -1 quando $\omega_1 > \omega_2'$. O *duty-cycle* tende para 1 se $\omega_1 \ll \omega_2'$ e para -1 se $\omega_1 \gg \omega_2'$, quando as frequências se aproximam o valor do *duty-cycle* aproxima-se de 0,5 ou -0,5 caso $\omega_1 < \omega_2'$ ou $\omega_1 > \omega_2'$ respetivamente.

Apenas é possível determinar esta relação do *duty-cycle* para o PFD visto que é o único que quando está em sincronismo o valor médio da tensão de saída depende do erro de fase, mas quando não está em sincronismo depende do erro de frequência o que faz com que consiga sincronizar sobre quaisquer circunstâncias.

$$u_d = K_d \theta_e, \text{ com } K_d = \frac{U_B}{4\pi} = \frac{U_{\text{sat}+} - U_{\text{sat}-}}{4\pi} \quad 2.1.10$$

Ganho do detetor:

$$K_d = \frac{V_{cc}}{4\pi} \quad 2.1.11$$

Detetor de fase e frequência com saída em corrente

O modo de funcionamento do PFD com saída em corrente é idêntico ao do PFD com saída em tensão, existem os mesmos 3 estados para o funcionamento deste detetor de fase sendo que o estado intermédio é a ausência de corrente e os outros estados a corrente a circular no sentido direto ou inverso [12].

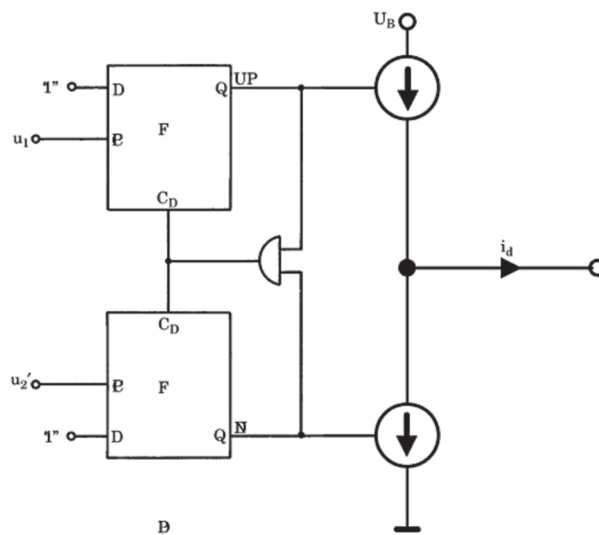


Figura 2.1.11 – Esquema de ligações do detetor de fase-frequência com saída em corrente

A corrente i_d é dada por:

$$i_d = K_d \theta_e, \text{ com } K_d = \frac{i_B}{2\pi} \quad 2.1.12$$

2.1.4 JK-flip-flop

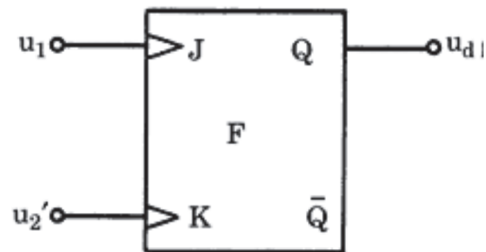


Figura 2.1.12 – Detetor JK-flip-flop

Este detetor tal como o exclusivo – OR apenas funciona com sinais digitais, o que diferencia este detetor do exclusivo – OR é o facto de neste caso o *duty-cycle* dos sinais de entrada ser irrelevante para o funcionamento do detetor uma vez que a comutação do sinal de saída ocorre ao impulso ascendente dos sinais de entrada [12].

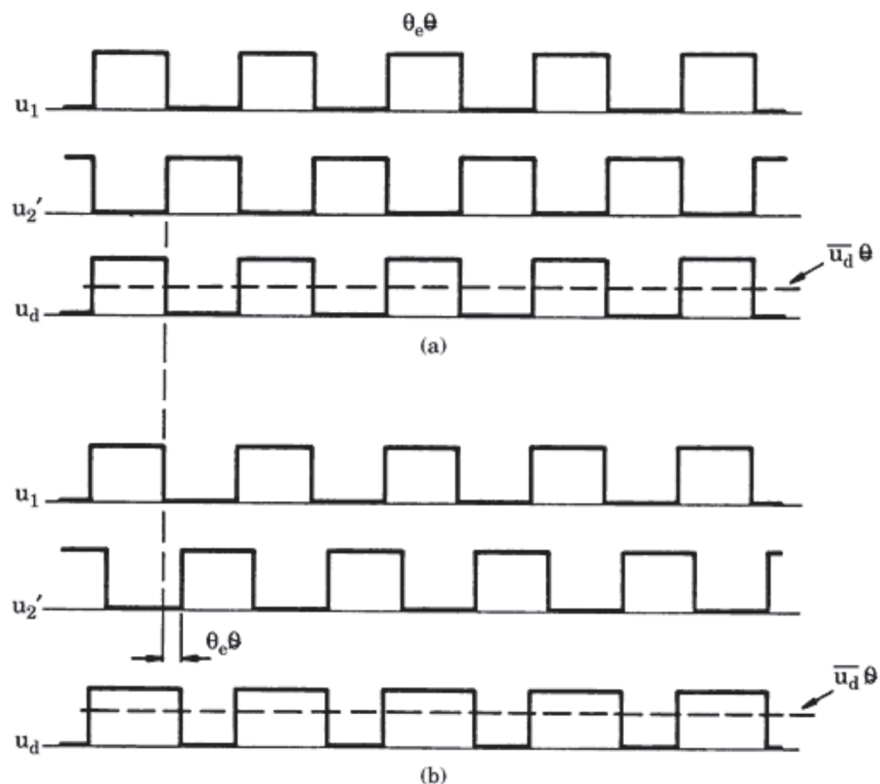


Figura 2.1.13 – Formas de onda do detetor JK-flip-flop

Na figura 2.1.13 (a) podemos ver o caso onde os sinais estão perfeitamente sincronizados, erro nulo, na figura 2.1.13 (b) o sinal de referência encontra-se atrasado.

Quando o sinal de referência, u_1 , tem uma transição ascendente a saída Q do *flip-flop* passa para o estado *high* ($Q = 1$), quando o sinal da saída do PLL tem uma transição ascendente a saída Q do *flip-flop* passa para o estado *low* ($Q = 0$).

Quando o erro entre os dois sinais é nulo, figura 2.1.13 (a), o sinal de saída do PLL, u_2 , tem um atraso de 180° em relação ao sinal de referência, u_1 . O sinal de saída do detetor, u_d , é uma onda quadrada com um *duty-cycle* de 50 %, o valor médio da saída detetor é metade o valor de U_{cc} representado pela linha a tracejado da figura.

Quando o sinal da saída do PLL esta em atraso a transição ascendente na entrada K do *flip-flop* vem atrasada fazendo com que o sinal à saída do detetor tenha um *duty-cycle* superior aos 50 % e o valor médio do sinal de saída do detetor aumenta.

O valor médio atinge o valor máximo quando o sinal u_2 tem um atraso de 180° , erro de 180° , e o valor mínimo quando tem um avanço de 180° , erro de -180° .

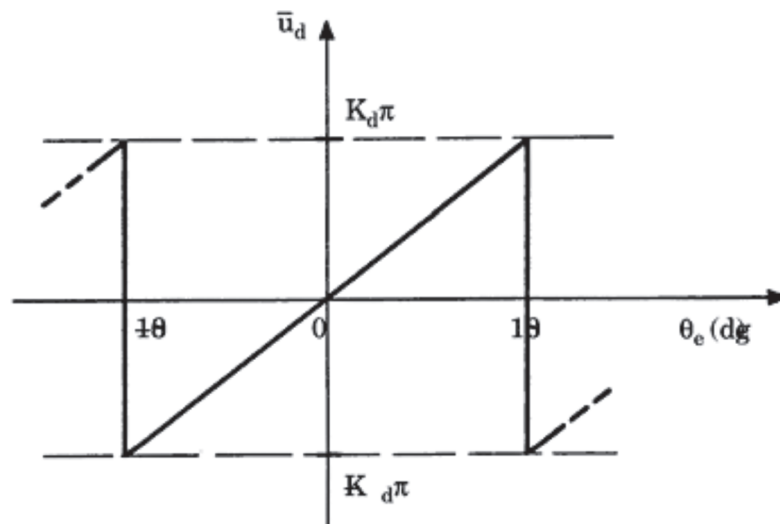


Figura 2.1.14- Valor médio do sinal de saída do detetor em relação ao erro de fase

O detetor *JK-flip-flop* consegue manter sincronismo para erros entre os $-\pi$ a π

Quando está sem sincronismo o detetor *JK-flip-flop* tem um funcionamento idêntico ao *exclusive-OR*, muito lento e se a diferença entre a frequência do sinal de referência e a frequência do sinal de saída do PLL forem muito diferentes, superior ao *pull-in range*, não consegue sincronizar os dois sinais.

A tensão u_d é dada por:

$$u_d = K_d \theta_e, \text{ com } K_d = \frac{U_B}{2\pi} = \frac{U_{\text{sat}+} - U_{\text{sat}-}}{2\pi} \quad 2.1.13$$

Ganho do detetor:

$$K_d = \frac{V_{cc}}{2\pi} \quad 2.1.14$$

Tendo em conta que o detetor 2, detetor de fase-frequência de transição ascendente, tem a capacidade de sincronizar em qualquer situação e com um processo mais rápido, ao contrário dos outros que apenas podem sincronizar se a diferença entre as frequências não for superior ao *pull-in-range* e são muito lentos, juntamente com o facto de sincronizar com um angulo de 0° entre fases, *Exclusive-OR* sincroniza com um angulo 90° entre fases e o *JK-flip-flop* com um angulo de 180° entre fases, a escolha recaio sobre o detetor 2.

2.1.5 Resumo dos detetores de fase

Como resumo dos diferentes detetores de fase é apresentada a tabela a baixo com as principais características dos detetores falados anteriormente.

Detetor de Fase	Tensão de Entrada	Ganho	Desfasagem entre a entrada e saída	Observações
Multiplicador	Analógica	Depende da forma de onda	-90°	Ganho depende da saturação
OU Exclusivo	Digital	$K_d = \frac{U_{cc}}{\pi}$	$+90^\circ$	<i>Duty-cycle</i> tem de ser de 50 % Frequência de saída é o dobro da frequência de entrada
Flip-flop J-K	Digital	$K_d = \frac{U_{cc}}{2\pi}$	180°	Estado do <i>flip-flop</i> altera com as transições positivas dos sinais
PFD Tensão	Digital	$K_d = \frac{U_{cc}}{4\pi}$	0°	Rápido processo de sincronização Filtro passa baixo passivo funciona como integrador
PFD Corrente		$K_d = \frac{I_B}{2\pi}$		Rápido processo de sincronização Tempo de resposta a uma transição positiva muito reduzido

Tabela 2 – Tabela com as principais características dos detetores de fase

2.2 Filtro

O filtro é utilizado antes do VCO para eliminar a componente AC do sinal à saída do comparador uma vez que esse sinal é composto por uma componente DC e por uma componente AC e à entrada do VCO apenas se pretende ter a componente DC do sinal.

Há inúmeras montagens de filtros que podem ser utilizadas, essas montagens podem ser distinguidas pela classe e pela ordem.

Classe de filtro

Há duas classes de filtros, os filtros passivos e os filtros ativos.

Os filtros passivos são filtros compostos apenas por elementos passivos, elementos que não promovem um aumento de ganho, elementos lineares como resistências, condensadores e bobinas.

Os filtros ativos são compostos por componentes passivos e por componentes ativos (como o amplificador operacional). Estes componentes ativos habilitam os filtros com capacidade de aumento de ganho.

Ordem do filtro

A ordem do filtro é determinada pelo número de componentes reativos que os compõem. Preferencialmente utilizam-se malhas RC que aumentam de complexidade quanto maior for a ordem do filtro a implementar.

Tanto no caso dos filtros passivos como nos filtros ativos, com filtros de 1ª ordem apenas se podem fazer filtros do tipo passa-baixo e passa-alto. Com filtros de 2ª ordem podem se fazer filtros mais complexos, muitas vezes fazendo combinações de filtros de 1ª ordem, filtros que apenas deixam passar uma gama de frequências, filtros passa-banda, ou que apenas cortam uma gama de frequências, filtro rejeita-banda.

As montagens normalmente mais utilizadas [12] são as seguintes:

2.2.1 Montagem passiva de compensação de avanço-atraso (Passive Lead-Lag)

Este filtro pode funcionar com entradas em tensão e em corrente, a figura 2.2.2 mostra o circuito do filtro passa baixo com entrada em tensão [12].

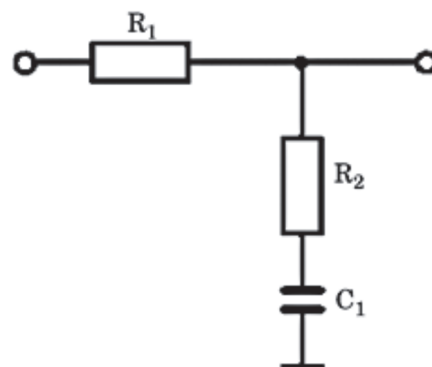


Figura 2.2.2 – Circuito de um filtro Lead-Lag passivo com entrada em tensão

Retirando a função transferência deste filtro e simplificando-a obtemos a equação 2.2.1

$$F(s) = \frac{U_f(s)}{U_d(s)} = \frac{1+s\tau_2}{1+s(\tau_1+\tau_2)}, \text{ com } \tau_1 = R_1C_1 \text{ e } \tau_2 = R_2C_1 \quad 2.2.1$$

Recorrendo ao Matlab obteve-se o diagrama de bode que mostra a evolução da atenuação da amplitude do sinal ao longo das frequências, figura 2.2.5, onde se pode ver que o filtro mantém uma atenuação de 0 dB até à frequência de $\frac{1}{\tau_1+\tau_2}$, entre essa frequência e a frequência de $\frac{1}{\tau_2}$ a amplitude do sinal vai sofrer uma atenuação crescente com a frequência, a partir da frequência, $\frac{1}{\tau_2}$ a atenuação mantém-se constante.

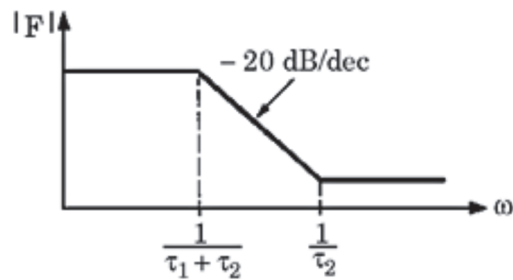


Figura 2.2.3 – Resposta em frequência de um filtro Lead-Lag passivo com entrada em tensão

Na figura 2.2.4 está representado o circuito para o mesmo filtro mas com entrada em corrente.

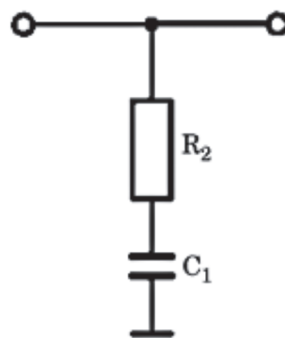


Figura 2.2.4 – Circuito de um filtro Lead-Lag passivo com entrada em corrente

A diferença entre estes dois filtros prende-se com o desaparecimento da resistência R_1 , essa resistência tem a função de fazer originar uma corrente com o comparador de fase com saída em tensão. No segundo filtro, e com o comparador de fase com saída em corrente essa resistência deixa de ser necessária.

Com a ausência dessa resistência a função transferência do filtro passa a ser,

$$F(s) = \frac{U_f(s)}{I_d(s)} = \frac{1+s\tau_2}{C_1s}, \text{ com } \tau_2 = R_2C_1 \quad 2.2.2$$

Como podemos ver na resposta em frequência deste filtro, figura 2.2.5, a frequência a partir da qual a atenuação aumenta passa de $\frac{1}{\tau_1 + \tau_2}$ para zero uma vez que este filtro não tem nenhuma gama de frequência para as quais a atenuação seja nula.

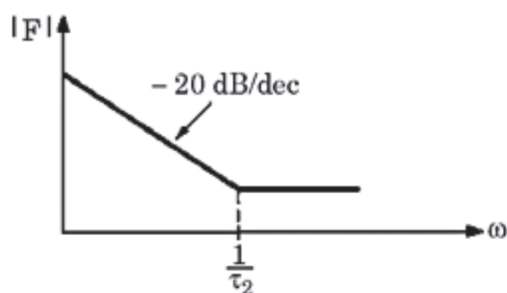


Figura 2.2.5 – Resposta em frequência de um filtro Lead-Lag passivo com entrada em corrente

2.2.2 Montagem ativa de compensação de avanço-atraso (Passive Lead-Lag)

Neste ponto estudamos o mesmo filtro mas numa montagem ativa, tal como a montagem passiva estudamos com entrada em tensão e em corrente [12].

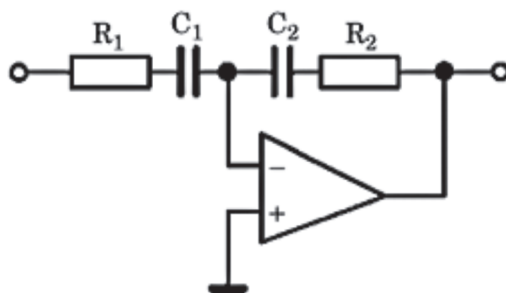


Figura 2.2.6 – Circuito de um filtro Lead-Lag ativo com entrada em tensão

A função transferência deste filtro é dada pela equação 2.2.3

$$F(s) = \frac{U_f(s)}{U_d(s)} = -K_a \frac{1+s\tau_2}{1+s\tau_1}, \text{ com } K_a = \frac{C_1}{C_2}, \tau_1 = R_1C_1 \text{ e } \tau_2 = R_2C_2 \quad 2.2.3$$

Novamente obteve-se a resposta em frequência através do diagrama de bode, figura 2.2.7, e verificamos que a resposta em frequência do filtro ativo e do filtro passivo apenas difere nas frequências a partir da qual começa a haver atenuação e na frequência a partir da qual essa atenuação estabiliza.

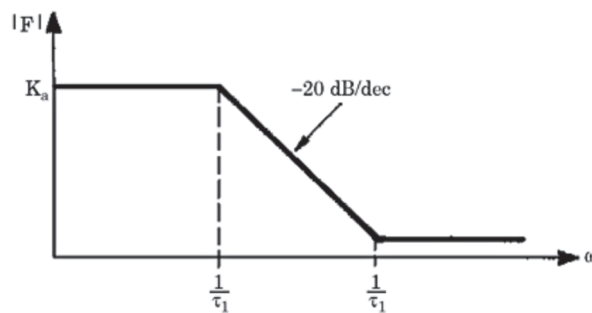


Figura 2.2.7 – Resposta em frequência de um filtro Lead-Lag ativo com entrada em tensão

Na figura 2.2.8 está representada a montagem do filtro Lead-Lag ativo com entrada em corrente.

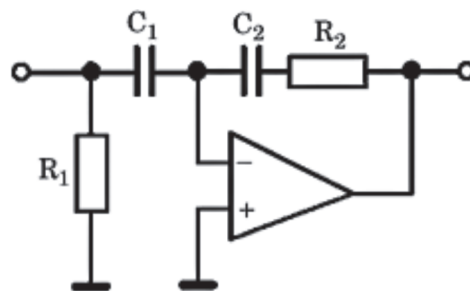


Figura 2.2.8 – Circuito de um filtro Lead-Lag ativo com entrada em corrente

Ao tirar a função de transferência, equação 2.2.4, verifica-se que é igual a função de transferência do filtro com entrada em tensão logo a resposta em frequência vai ser a mesma da figura 2.2.7.

$$F(s) = \frac{U_f(s)}{I_d(s)} = -K_a \frac{1+s\tau_2}{1+s\tau_1}, \text{ com } K_a = \frac{C_1}{C_2}, \tau_1 = R_1C_1 \text{ e } \tau_2 = R_2C_2 \quad 2.2.4$$

2.2.3 Montagem ativa de compensação proporcional integral de 1ª Ordem (PI ativo)

Este tipo de montagens é muitas vezes utilizado não como filtros mas como um compensador para cancelar pólos indesejados em sistemas, contudo também podem ter a função de filtro [12].

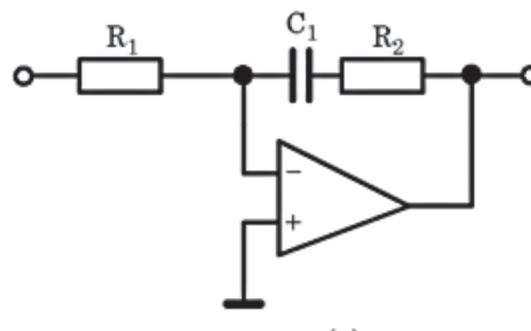


Figura 2.2.9 – Circuito de um filtro PI activo com entrada em tensão

O filtro PI (Proporcional + Integral), figura 2.2.9, é um filtro de primeira ordem, a equação 2.2.5 representa a função de transferência deste filtro

$$F(s) = \frac{U_f(s)}{U_d(s)} = -\frac{1+s\tau_2}{s\tau_1}, \text{ com } \tau_1 = R_1C_1 \text{ e } \tau_2 = R_2C_1 \quad 2.2.5$$

Pela função transferência podemos ver que a sua resposta em frequência, tirada pelo diagrama de bode, vai ser idêntica à resposta da montagem passiva com entrada em corrente na figura 2.2.5, visto que também esta função de transferência tem um pólo na origem.

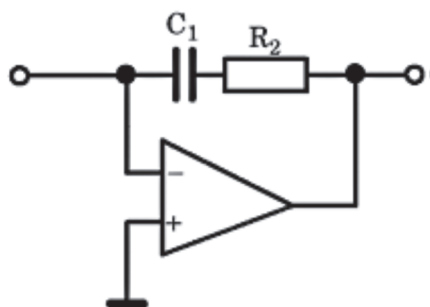


Figura 2.2.10 – Circuito de um filtro PI ativo com entrada em corrente

Na figura 2.2.10 está o circuito do filtro ativo PI com entrada em corrente e a sua função de transferência na equação 2.2.6,

$$F(s) = \frac{U_f(s)}{I_d(s)} = -\frac{1+s\tau_2}{C_1s}, \text{ com } \tau_1 = R_1C_1 \quad 2.2.6$$

Também esta resposta em frequência vai ser idêntica à da figura 2.2.5.

2.2.4 Resumo dos filtros

Como resumo dos diferentes filtros é apresentada a tabela a baixo com as principais características dos filtros falados anteriormente

Filtro	Entrada	Função transferência	Vantagens \ Desvantagens
Lead-Lag Passivo	Tensão	$\frac{U_f(s)}{U_d(s)} = \frac{1+s\tau_2}{1+s(\tau_1+\tau_2)}$	Montagem simples
	Corrente	$\frac{U_f(s)}{I_d(s)} = \frac{1+s\tau_2}{C_1s}$	Montagem simples. Possui um polo na origem aumentando o tipo do sistema.
Lead-Lag Ativo	Tensão	$\frac{U_f(s)}{U_d(s)} = -K_a \frac{1+s\tau_2}{1+s\tau_1}$	Requer um Ampop
	Corrente	$\frac{U_f(s)}{I_d(s)} = -K_a \frac{1+s\tau_2}{1+s\tau_1}$	
PI Ativo	Tensão	$\frac{U_f(s)}{U_d(s)} = -\frac{1+s\tau_2}{s\tau_1}$	Possui um polo na origem aumentando o tipo do sistema
	Corrente	$\frac{U_f(s)}{I_d(s)} = \frac{1+s\tau_2}{C_1s}$	Requer um Ampop

Tabela 3 – Tabela com as principais características dos vários filtros

2.3 Oscilador Controlado por Tensão (VCO)

Um oscilador controlado por tensão (VCO) é um circuito que permite a geração de uma forma de onda com frequência regulada e proporcional à tensão que lhe é aplicada à entrada.

Existem 2 tipos de osciladores controlados por tensão sendo eles o de ressonância e o de relaxamento [12].

Oscilador de ressonância

Este tipo de oscilador é utilizado maioritariamente para frequências muito elevadas e utiliza um díodo de capacidade variável, varactor, como método de sincronizar a frequência com a tensão de entrada, figura 2.3.1

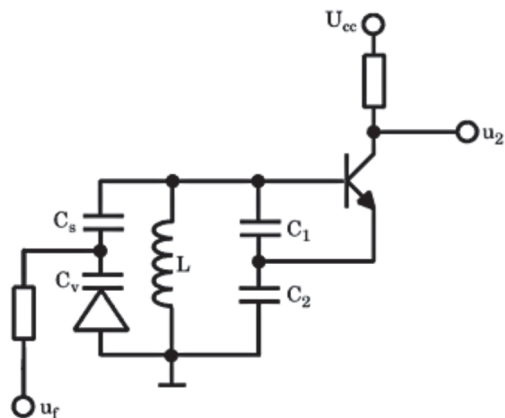


Figura 2.3.1 – Esquema de um VCO de ressonância

Este tipo de VCO funciona vulgarmente para frequências superiores à centena de kilohertz.

Oscilador de relaxamento

Este tipo de osciladores é muito utilizado nos PLL digitais

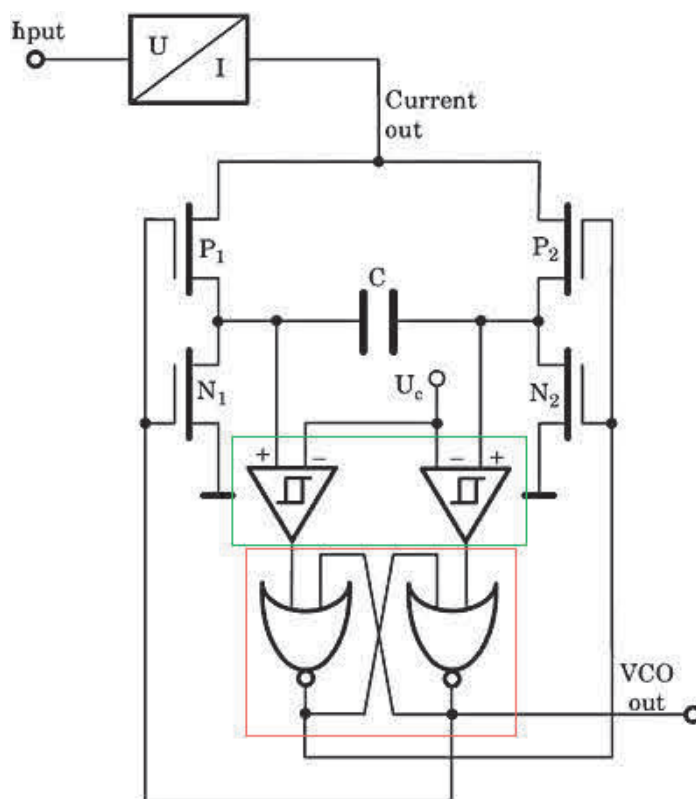


Figura 2.3.2 – Circuito de um VCO de relaxamento

O esquema do VCO, figura 2.3.2, mostra que este VCO recebe uma entrada em tensão e a converte em corrente, o percurso dessa corrente vai depender do estado dos MOSFET canal N e P montados em ponte como se pode ver na mesma figura.

O circuito sequencial, sinalizado a vermelho, vai controlar o funcionamento dos MOSFET, o sinal à saída das portas lógicas NOR é sempre diferente, quando o NOR da esquerda está ON o da direita está OFF e vice-versa, no caso de a saída da porta lógica NOR da esquerda ser *high*, H, a saída da porta lógica NOR da direita vai ser *low*, L, neste caso o MOSFET de canal-P P1 e o MOSFET de canal-N N2 vão estar ON e os outros estão OFF, nesta situação a corrente vai passar pelo MOSFET P1 o que faz com que a tensão no terminal esquerdo do condensador vá aumentando enquanto o terminal direito está ligado à massa através do MOSFET N2.

Quando a tensão que está a acumular no terminal esquerdo do condensador atinge o valor do *threshold* do Schmitt *trigger*, assinalado a verde na figura a cima, a saída do Schmitt *trigger* passa a 1e os sinais de saída das portas NOR invertem ficando a saída NOR da direita a *high* e a saída do NOR da esquerda a *low*, neste caso os MOSFET N1 e P2 é que vão estar ON e a corrente vai passar pelo MOSFET P2 aumentando a tensão no terminal direito do condensador e ligando o terminal esquerdo à massa através do MOSFET N1 até a tensão do lado direito do condensador atingir a tensão de *threshold* do Schmitt *trigger* da direita invertendo novamente as saídas das portas logicas NOR.

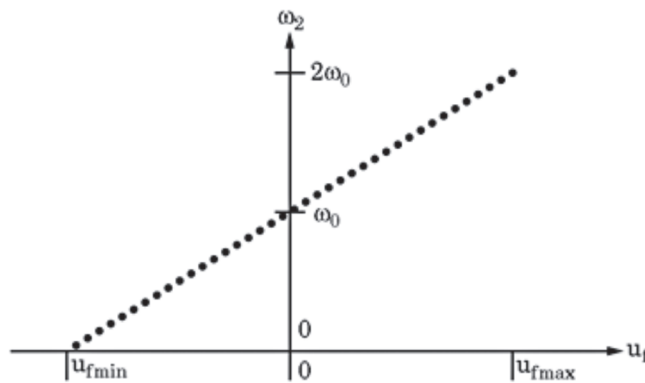


Figura 2.3.3 – Característica ideal do VCO

A figura 2.3.3 representa a característica ideal do VCO, a frequência de saída seria 0 quando a tensão de referência for mínima e o dobro da frequência central quando a tensão de referência for igual à tensão de alimentação.

Na realidade a saída não varia de forma proporcional com a tensão de referencia estando limitada por um limite inferior e um superior, para uma alimentação de 5 V com tensões inferiores a 1 V a frequência de saída é aproximadamente 0 rad/s e para valores superiores a 4 V a frequência de saída vai para valores muito elevados como mostra a figura 2.3.4.

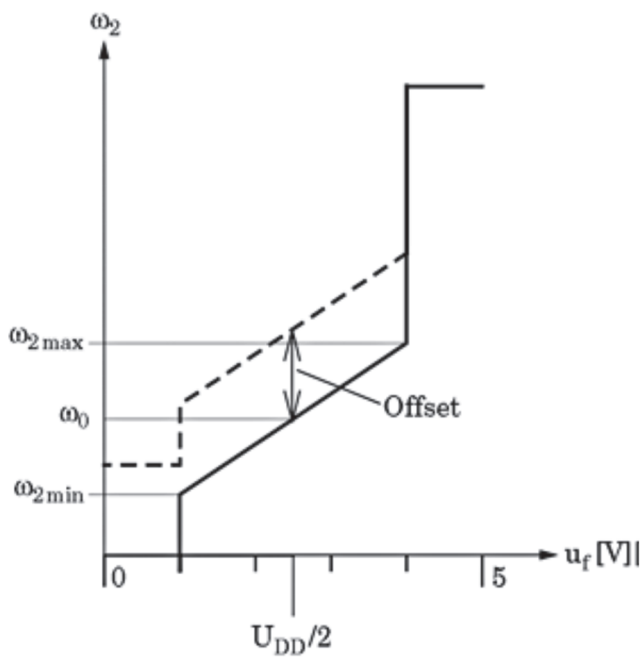


Figura 2.3.4 – Característica real do VCO

Deste gráfico é de salientar que a frequência designada por ω_{off} é a frequência colocada na saída do VCO quando não existe tensão aplicada à entrada do mesmo.

Capítulo III: Dimensionamento do PLL

Resumo:

Neste capítulo será feita uma descrição dos requisitos para o PLL necessários para a sincronização com a rede.

Será feita a escolha do detetor de fase assim como do filtro a utilizar, a parametrização dos componentes do PLL e serão calculados os parâmetros do PLL.

Será feita a análise das frequências limite do PLL

Neste capítulo será também estudada a possibilidade da utilização de um filtro de 2ª ordem com o objetivo de reduzir o ganho para altas frequências.

3.1 Introdução

Após ser descrito quais os blocos constituintes do PLL e de estudar as alternativas mais usuais neste capítulo é dimensionado um PLL da forma mais vantajosa para a situação descrita a baixo.

Pretende-se que o PLL sincronize com uma amostragem da tensão da rede elétrica. Para obter essa amostragem irá ser utilizando um transdutor de tensão, e a amostra terá uma forma quadrada, e a frequência da tensão de estrada será a da rede elétrica. Segundo a norma EN 50160 a frequência será de 50 Hz, e o intervalo de frequência para a qual a rede elétrica tem de estar 100 % do tempo é [47,52] Hz. No entanto, neste trabalho alargar-se-á o intervalo para frequências entre 40 e 60 Hz.

Além das condições acima o PLL vai ser dimensionado de modo a que estabeleça o sincronismo no espaço de 5 ciclos da rede

A partir destes dados ir-se-á dimensionar um PLL para responder a estas condições.

Para implementar este PLL escolhemos o circuito integrado 74HC4046. Este circuito é uma solução compacta que possui três tipos de detetores de fase, o exclusive-OR, o flip-flop JK e o detetor fase-frequência (PFD), e possui também um oscilador controlado em tensão.

3.2 Escolha do detetor de fase

O detetor de fase escolhido foi o detetor fase-frequência (PFD), porque dentro das três alternativas que se encontram no circuito integrado 74HC4046 é o que não tem desfasagem entre o sinal de entrada e de saída quando em sincronismo e não requer um *duty-cycle* de 50 %, apesar de não ser tão imune ao ruído como os outros dois.

Ganho do detetor (K_d)

$$K_d = \frac{U_{cc}}{4\pi} = \frac{5}{4\pi} = 0,4 \frac{V}{\text{rad}} \quad 3.2.1$$

3.3 Escolha do filtro

O sinal à saída do detetor é composto por uma componente DC, desejada que é o que permite ao PLL sincronizar com o sinal de referência, e por uma componente AC, indesejada, composto pelas harmónicas de grau mais elevado.

Visto que apenas se quer à entrada do VCO a componente DC temos que passar o sinal de saída do detetor por um filtro. O filtro que vamos utilizar é o filtro PI ativo uma vez que este tem um pólo na origem o que origina um aumento de rejeição à taxa de 20 dB/dec a partir de $\omega = 0$

Caso se verifique um ruído elevado a altas frequências será possível posteriormente aumentar a ordem do filtro compensando assim o ganho do detetor de fase a altas frequências.

Ganho do filtro:

$$K_f = \frac{s\tau_2 + 1}{s\tau_1} \quad 3.3.1$$

Onde $\tau_1 = C_1R_1$ e $\tau_2 = C_1R_2$

3.4 Obtenção do fator de divisão N

O parâmetro N do divisor de frequência foi atribuído para uma potência de 2, neste caso foi definido 2^{11} .

$$N = 2048 \quad 3.4.1$$

Sabendo o N vamos determinar a frequência media do VCO que é dada por:

$$f_{\text{med}} = 2048 \times 50 = 102400 = 102,4\text{k Hz} \quad 3.4.2$$

Segundo a norma EN 50160 o intervalo de frequências a que a rede elétrica está obrigada a manter ao longo do ano é 50 Hz +4 % e 50 Hz -6 %, o que implica que a frequência da rede elétrica nunca pode ser inferior a 47 Hz nem superior a 52 Hz.

Para garantir que o VCO fica a funcionar na zona linear vamos dimensionar o VCO para frequências entre os 30 a 70 Hz, multiplicadas pelo fator N.

$$f_{\text{min}} = N \times f_{\text{entrada}_{\text{min}}} = 2048 \times 30 = 61440 \text{ Hz} \quad 3.4.3$$

$$f_{\text{max}} = N \times f_{\text{entrada}_{\text{max}}} = 2048 \times 70 = 143360 \text{ Hz} \quad 3.4.4$$

3.5 Dimensionamento do VCO

O VCO utilizado vai ser o de relaxamento uma vez que as frequências são relativamente baixas, 50 Hz, quando comparadas com as frequências destes osciladores.

Antes de dimensionar os componentes do VCO é necessário definir as frequências de funcionamento pretendidas para o VCO. [13]

Sabendo que queremos que o VCO funcione num intervalo entre as frequências de 61440 Hz e 143360 Hz,

$$2f_L = f_{\max} - f_{\min} = 143360 - 61440 = 81920 \text{ Hz} \quad 3.5.1$$

$$f_{\text{med}} = 2048 \times 50 = 102400 \text{ Hz} \quad 3.5.2$$

$$f_{\text{off}} = f_0 - 1,6 \times f_L = 102400 - 1,6 \times 40960 = 36864 \text{ Hz} \quad 3.5.3$$

A partir destes três parâmetros e do gráfico da figura 3.5.1, pode-se obter o produto $R_{1\text{VCO}} \times C_{\text{VCO}}$. [13]

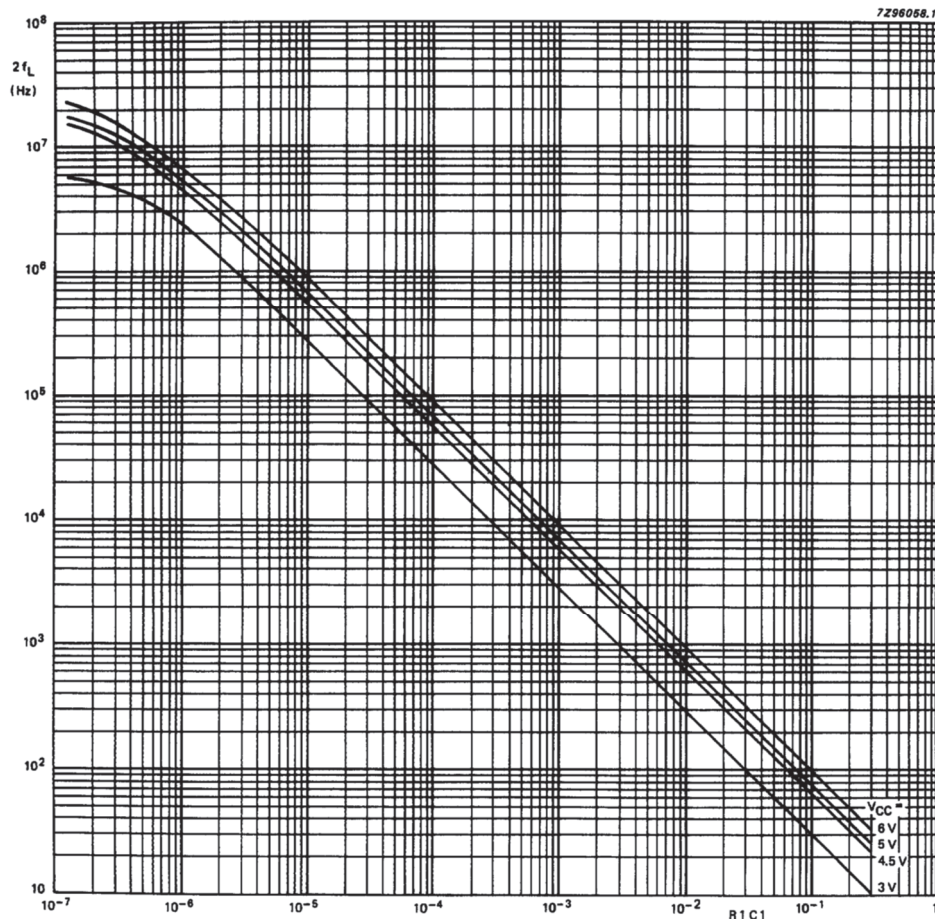


Figura 3.5.1 – Gráfico para obtenção do produto $R_{1\text{VCO}} \times C_{\text{VCO}}$ em função da gama de frequência $2f_L$ e da tensão de alimentação

Através desta curva e para $U_{\text{cc}} = 5 \text{ V}$ e $2f_L = 81920 \text{ Hz}$, retiramos o valor do $R_1 C_1$

Para um valor de $2f_L$ de 81920 obtemos um valor entre 10^{-5} e 10^{-4} , medindo a distância entre estas duas marcações principais da escala e a distância entre a marcação 10^{-5} e o valor a obter tirou-se o valor do R_1C_1 . Note-se que a distância entre as marcações principais da escala 10^{-5} e 10^{-4} é de 27 mm e a distância entre a marcação 10^{-5} e o valor a obter é 25 mm.

$$R_{1VCO}C_{1VCOVCO} = 10^{-5} \times 10^{\frac{25}{27}} = 8,4 \times 10^{-5} \quad 3.5.4$$

Do mesmo modo da figura 3.5.2, e sabendo os valores da tensão de alimentação e da frequência de offset, f_{off} , definiu-se o valor de R_{2VCO} e retirou-se o valor do C_{1VCO} .

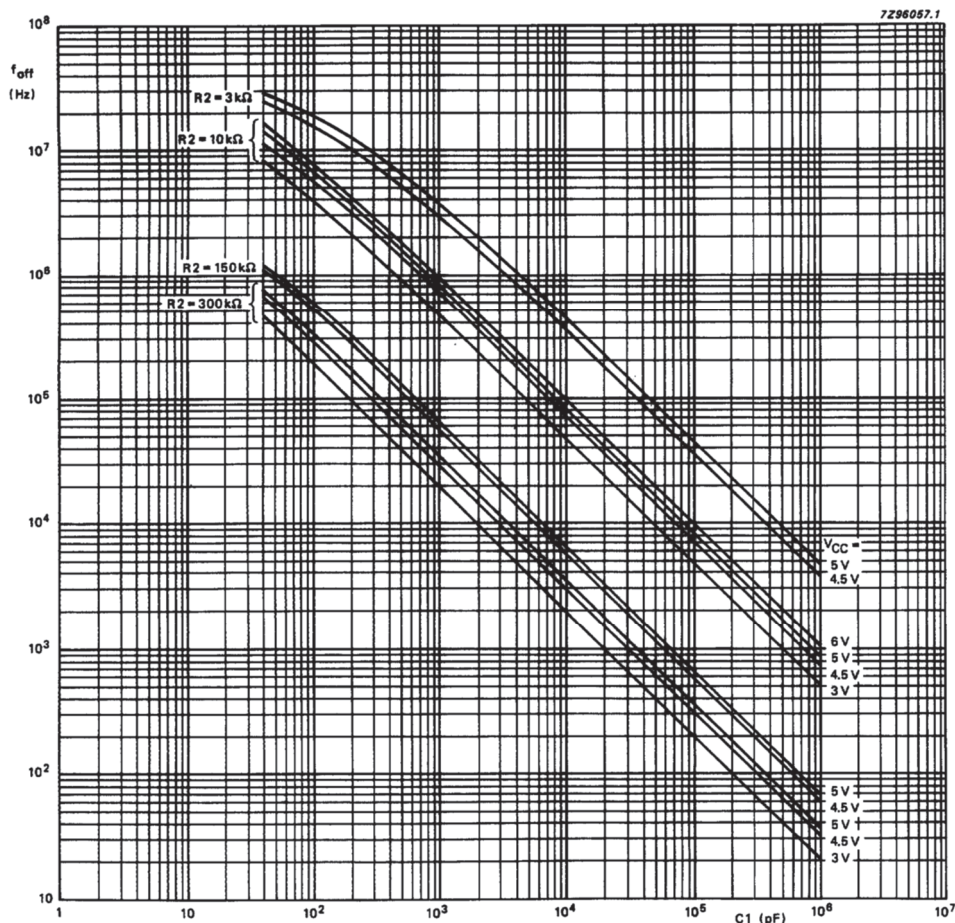


Figura 3.5.2 – Gráfico para obtenção da resistência R_{2VCO} e do condensador C_{VCO} em função da frequência de offset f_{off} e da tensão de alimentação

Definiu-se que o valor de R_{2VCO} seria de 150 kΩ.

Para este valor de R_{2VCO} o valor pretendido ficou entre as marcações principais de escala 10^3 e 10^4 , a distância entre estas marcas é de 26 mm, a distância entre a marca de escala 10^3 e o valor pretendido é de 7 mm.

Tendo em conta estas distâncias e pode-se calcular o valor de C_{1VCO} .

$$C_{1VCO} = 10^3 \times 10^{\frac{7}{26}} = 1,86 \times 10^3 \text{ pF} \quad 3.5.5$$

$$C_{1VCO} = 1,85 \times 10^3 \times 10^{-12} = 1,86 \text{ nF} \quad 3.5.6$$

Sabendo que $R_{1VCO} \times C_{1VCO} = 8,4 \times 10^{-5}$ calculou-se o valor de R_{1VCO} ,

$$R_{1VCO} = \frac{8,4 \times 10^{-5}}{1,86 \times 10^{-9}} = 45 \text{ k}\Omega \quad 3.5.7$$

Consultando a tabela de valores *standard* de resistências e condensadores temos os valores finais dos componentes.

$$R_{1VCO} = 47 \text{ k}\Omega \quad 3.5.8$$

$$R_{2VCO} = 150 \text{ k}\Omega \quad 3.5.9$$

$$C_{1VCO} = 1,8 \text{ nF} \quad 3.5.10$$

Estes valores cumprem as condições impostas,

$$R_{1VCO} \text{ e } R_{2VCO} \in [3, 300] \text{ k}\Omega \quad 3.5.11$$

$$R_{1VCO} \parallel R_{2VCO} > 2,7 \text{ k}\Omega \quad 3.5.12$$

$$C_{1VCO} > 40 \text{ pF} \quad 3.5.13$$

Ganho do VCO:

$$K_0 = \frac{K_v}{s} \quad 3.5.15$$

Onde

$$K_v = \frac{2f_L \times 2\pi}{(V_{cc} - 0,9) - 0,9} = \frac{81920 \times 2 \times \pi}{4,1 - 0,9} = 160850 \text{ rad/s/V} \quad 3.5.14$$

Apos a montagem do circuito verificou-se que a tensão à entrada do VCO estava ligeiramente elevada quando tinha à entrada um sinal de 50 Hz, fazendo com que a frequência media estivesse acima dos 50 Hz.

De modo a acertar a frequência media nos 50 Hz aumentou-se a resistência R_{1VCO} para 84 k Ω e para manter a frequência de captura de fase do VCO entre os valores pretendidos reduzimos o C_{1VCO} para 1nF de modo a manter a relação $R_{1VCO}C_{1VCO}$

Estas alterações também afetaram a frequência de *offset* que passou dos 18 Hz iniciais para os 26 Hz.

3.6 Estudo do sistema através da análise da função de transferência

É possível obter o diagrama de blocos correspondente ao funcionamento do sistema simplificado, sendo o mesmo dado na figura 3.6.1

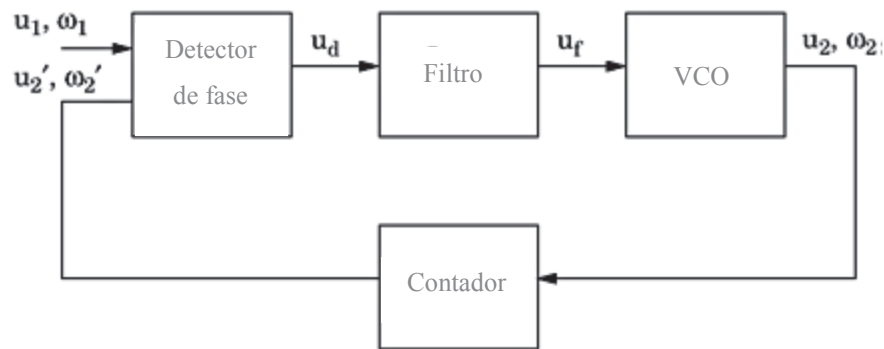


Figura 3.6.1 – diagrama de blocos de um PLL

Dentro de cada bloco podemos ver a função de transferência de cada um dos elementos constituintes do PLL.

3.6.1 Funções de transferência

Com o diagrama de blocos é possível obter as funções de transferência em cadeia aberta e em cadeia fechada.

$$G(s) = K_d K_f K_o K_N \quad 3.6.1$$

Substituindo os ganhos do filtro e do VCO pelos calculados anteriormente:

$$G(s) = K_d \times \frac{s\tau_2 + 1}{sC\tau_1} \times \frac{K_v}{s} \times K_N = \frac{K_d K_v \tau_2 s + K_p K_v}{s^2 \tau_1 N} \quad 3.6.2$$

$$G(s) = \frac{K_d K_v \tau_2 s + K_p K_v}{s^2 \tau_1 N} \quad 3.6.3$$

$$H(s) = 1 \quad 3.6.4$$

Função de transferência em cadeia aberta (FTCA):

$$FTCA = G(s) \times H(s) \quad 3.6.5$$

Substituindo as equações 3.4.3 e 3.4.4 na equação 3.4.5 obtemos:

$$FTCA = \frac{K_d K_v \tau_2 s + K_d K_v}{s^2 \tau_1 N} \quad 3.6.6$$

Função de transferência em cadeia fechada (FTCF):

$$FTCF = \frac{G(s)}{1 + G(s)H(s)} \quad 3.6.7$$

Substituindo as equações 3.4.3 e 3.4.4 na equação 3.4.7 obtemos:

$$FTCF = \frac{K_d K_v \tau_2 s + K_d K_v}{s^2 + \frac{K_d K_v \tau_2}{\tau_1 N} s + \frac{K_d K_v}{\tau_1 N}} \quad 3.6.8$$

Da função de transferência em cadeia fechada verifica-se que é uma função de 2ª Ordem visto que o termo de maior grau do denominador é ao 2.

Para determinar os parâmetros da função transferência do PLL compara-se com a equação normalizada de um sistema de 2ª ordem, equação 3.4.9.

$$FTCF = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad 3.6.9$$

Comparando os denominadores obtemos:

$$\begin{cases} 2\xi\omega_n = \frac{K_d K_v \tau_2}{\tau_1 N} \\ \omega_n^2 = \frac{K_d K_v}{\tau_1 N} \end{cases} \quad 3.6.10$$

Comparando os numeradores obtemos:

$$\begin{aligned} 2\xi\omega_n &= K_d K_v \tau_2 \\ \omega_n^2 &= K_d K_v \end{aligned} \quad 3.6.11$$

De modo a igualar as funções dos numeradores e dos denominadores precisamos de multiplicar a função de transferência em cadeia fechada por 3.4.12.

$$\frac{1}{\tau_1 N} \quad 3.6.12$$

Multiplicando 3.4.12 por 3.4.8 obtemos:

$$FTCF = \frac{\frac{K_d K_v \tau_2}{\tau_1 N} s + \frac{K_d K_v}{\tau_1 N}}{s^2 + \frac{K_d K_v \tau_2}{\tau_1 N} s + \frac{K_d K_v}{\tau_1 N}} \quad 3.6.13$$

Deste modo, quando comparamos o numerador da função transferência em cadeia fechada com o numerador da equação característica obtemos a mesma relação que obtivemos para o denominador, equação 3.4.10.

3.6.2 Exatidão

Sendo a função de transferência do PLL uma função de transferência de 2ª ordem determina-se o erro estático para diferentes tipos de entradas, sendo o tipo de entrada representado por $R(s)$.

$$e_f = \lim_{s \rightarrow 0} s \frac{R(s)}{1+G(s)H(s)} \quad 3.6.14$$

$$e_f = \lim_{s \rightarrow 0} s \frac{R(s)}{1+G(s)H(s)} = \lim_{s \rightarrow 0} \frac{R(s)}{\frac{1}{s} + \frac{G(s)H(s)}{s}} \quad 3.6.15$$

Para uma entrada do tipo degrau a entrada é $R(s) = \frac{1}{s}$

$$e_f = \lim_{s \rightarrow 0} \frac{R(s)}{\frac{1}{s} + \frac{G(s)H(s)}{s}} = \lim_{s \rightarrow 0} \frac{R(s)}{\frac{1}{s} + \frac{K_d K_v \tau_2 s + K_d K_v}{\tau_1 N s^2}} = \frac{1}{\infty} = 0 \quad 3.6.16$$

Para uma entrada do tipo rampa a entrada é $R(s) = \frac{1}{s^2}$

$$e_f = \lim_{s \rightarrow 0} \frac{R(s)}{\frac{1}{s} + \frac{G(s)H(s)}{s}} = \lim_{s \rightarrow 0} \frac{\frac{1}{s^2}}{\frac{1}{s} + \frac{K_d K_v \tau_2 s + K_d K_v}{\tau_1 N s^3}} = \frac{1}{0+\infty} = 0 \quad 3.6.17$$

Para uma entrada do tipo parábola a entrada é $R(s) = \frac{1}{s^3}$

$$e_f = \lim_{s \rightarrow 0} \frac{R(s)}{\frac{1}{s} + \frac{G(s)H(s)}{s}} = \lim_{s \rightarrow 0} \frac{\frac{1}{s^3}}{\frac{1}{s} + \frac{K_d K_v \tau_2 s + K_d K_v}{\tau_1 N s^3}} = \frac{\tau_1 N}{K_d K_v} \quad 3.6.18$$

Verifica-se que a função de transferência tem erro estático nulo para entradas do tipo escalão e rampa, mas que para entradas do tipo parábola o erro estático vai tender para um valor não nulo. Esse valor é dado por:

$$e_f = \frac{\tau_1 N}{K_d K_v} \quad 3.6.19$$

3.6.3 Obtenção do parâmetro ξ

Para determinar ω_n é necessário definir o coeficiente de amortecimento, ξ , bem como os parâmetros da resposta, o erro pretendido e o tempo para chegar a esse erro. Estes parâmetros podem variar de modo a obter uma resposta mais adequada.

Pretende-se que a resposta tenha um erro inferior a 1 % e que demore até 5 vezes o período a atingir esse erro, $t_s = 5 \times T = 0,1$ s.

Tendo estes parâmetros vamos determinar o coeficiente de amortecimento, ξ .

Para sistemas de 2ª ordem típicos sem zeros na função de transferência em cadeia fechada o sistema estabiliza mais rapidamente para $\xi = \sqrt{2}/2$. No entanto, como este sistema possui um zero, testou-se várias respostas em Matlab para verificar se essa situação ainda se mantém.

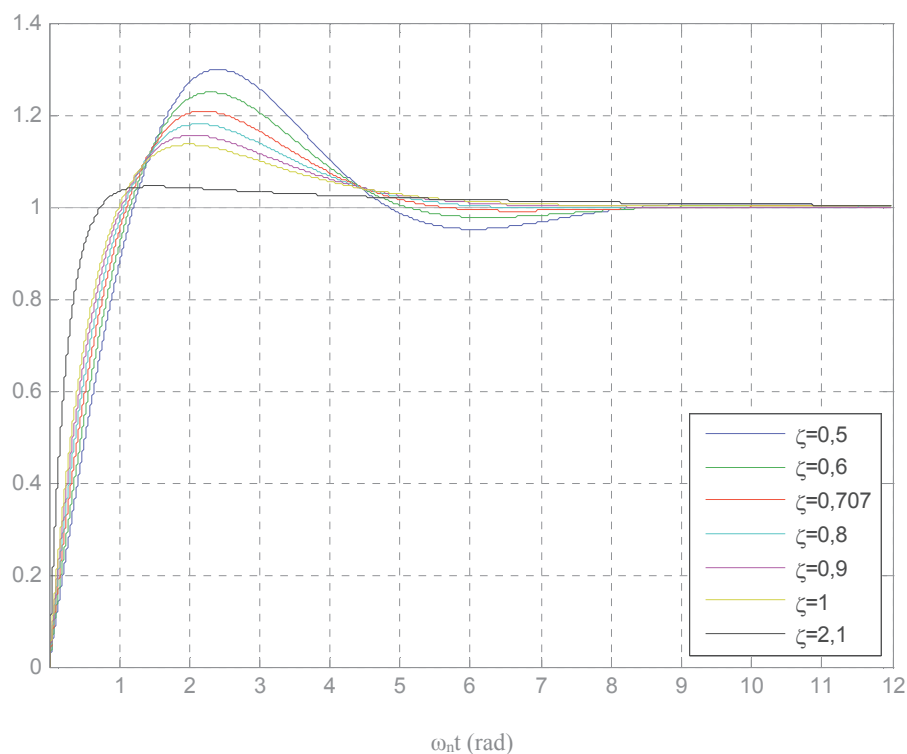


Figura 3.6.2 – Gráfico da evolução do sistema ao longo do tempo a frequência natural para diferentes valores de ξ

Através do gráfico da figura 3.6.2 verifica-se que mesmo com o aparecimento desse zero a resposta que estabiliza mais rapidamente, com um erro inferior a 1 % do escalão aplicado, é a resposta com um coeficiente de amortecimento, ξ , de $\sqrt{2}/2$. Contudo, devido à sua sobrelevação ser demasiado elevada, superior a 20 %, optou-se pela resposta com um coeficiente de amortecimento de 2,1 aumentando o tempo de resposta da função de transferência mas garantindo uma sobrelevação inferior a 5 %.

3.6.4 Obtenção do parâmetro ω_n

Tendo determinado o valor de ξ procedeu-se à obtenção do valor de ω_n . Tendo em conta que a resposta que estabiliza mais rapidamente é para $\xi = 0,707$ determinou-se o ω_n tanto para o ξ escolhido como para a situação que estabiliza mais rapidamente. Através da figura 3.6.2 obteve-se que para um $\xi = 0,707$ a resposta tem um erro inferior a 1 % para qualquer $\omega_{nt} > 6,82$ rad, logo com $t_s = 5 \times T$,

$$\omega_{nt} = 6,82 \text{ rad} \quad 3.6.20$$

$$t_s = 0,1 \text{ s} \quad 3.6.21$$

$$\omega_n = 68,2 \text{ rad/s} \quad 3.6.22$$

Visto que para um $\xi = 2,1$ a resposta do sistema se torna mais lenta optou-se por impor uma frequência de corte em vez de um tempo de sincronização.

Na figura 3.6.3 está representada a resposta em frequência para o sistema em cadeia fechada com um $\xi = 2,1$. Dessa resposta observa-se que aumentando o ω_n a frequência de corte aumenta.

Com um ω_n de 10 rad/s obtem-se uma frequência de corte de aproximadamente 45 rad/s (7,2 Hz).

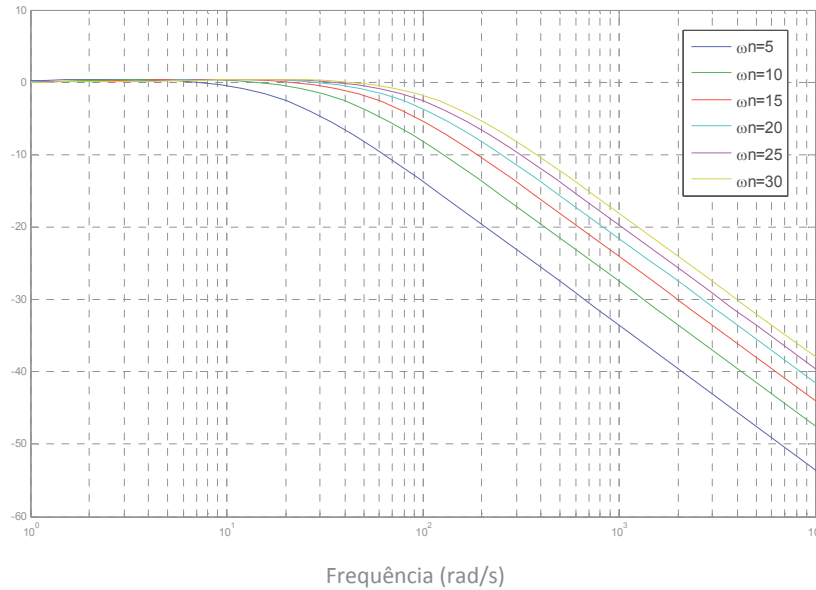


Figura 3.6.3 – Gráfico da resposta em frequência de um sistema com um $\xi = 2,1$ para diferentes ω_n

Através da figura 3.6.2 sabe-se que a resposta do sistema com um $\xi = 2,1$ é inferior a 1 % para qualquer $\omega_n t$ superior a 10,3 rad.

Sabendo que $\omega_n = 10$ rad/s e que a resposta tem um erro inferior a 1 % para qualquer $\omega_n t$ superior a 10,3 rad, calcula-se o tempo que o sistema demora a atingir esse erro,

$$\omega_n t = 10,3 \text{ rad} \quad 3.6.23$$

$$\omega_n = 10 \text{ rad/s} \quad 3.6.24$$

$$t_s = \frac{10,3}{10} \Leftrightarrow \omega_n = 1,03 \text{ s} \quad 3.6.25$$

Os parâmetros obtidos são,

$$\begin{cases} \xi = 2,1 \\ \omega_n = 10 \end{cases} \quad 3.6.26$$

3.6.5 Dimensionamento do filtro

- Obtenção das constantes de tempo τ_1 e τ_2

Partindo da equação 3.6.10 obtemos,

$$\begin{cases} \tau_1 = \frac{K_d K_v}{(\omega_n)^2 N} = \frac{0,4 \times 160850}{(10)^2 \times 2048} = 0,314 \text{ s} \\ \tau_2 = \frac{2\xi \omega_n \tau_1 N}{K_d K_v} = \frac{2 \times 2,1 \times 10 \times 0,314 \times 2048}{0,4 \times 160850} = 0,42 \text{ s} \end{cases} \quad 3.6.27$$

- Dimensionamento dos componentes a utilizar

Assumindo um $C = 820 \text{ nF}$,

$$\tau_1 = C \times R_1 = 0,314 \text{ s} \quad 3.6.28$$

$$R_1 = \frac{\tau_1}{C} = \frac{0,314}{820 \times 10^{-9}} = 381 \text{ k}\Omega \quad 3.6.29$$

$$R_1 = 330 \text{ k}\Omega \quad 3.6.30$$

$$\tau_2 = C \times R_2 = 0,42 \text{ s} \quad 3.6.31$$

$$R_2 = \frac{\tau_2}{C} = \frac{0,42}{820 \times 10^{-9}} = 512,2 \text{ k}\Omega \quad 3.6.32$$

$$R_2 = 470 \text{ k}\Omega \quad 3.6.33$$

Depois de retirar da tabela de valores *standard* mais aproximados aos valores calculados recalculam-se os valores das constantes de tempo τ_1 e τ_2 com os valores das resistências retirados da tabela,

$$\tau_1 = 330 \times 10^3 \times 820 \times 10^{-9} = 0,2706 \text{ s} \quad 3.6.34$$

$$\tau_2 = 470 \times 10^3 \times 820 \times 10^{-9} = 0,3854 \text{ s} \quad 3.6.35$$

Após o acerto das resistências os parâmetros ξ e ω_n têm uma ligeira variação, sendo os valores finais os da equação 3.4.36.

$$\begin{cases} \xi = 2,07 \\ \omega_n = 10,75 \text{ rad/s} \end{cases} \quad 3.6.36$$

Comparando a função de transferência obtida através dos valores do ξ e do ω_n calculados anteriormente obtém-se:

$$FTCF = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} = \frac{44,52,8s + 115,5}{s^2 + 11,52s + 115,5} \quad 3.6.37$$

O mesmo resultado obtido ao calcular a função de transferência através dos ganhos do PLL.

$$FTCF = \frac{\frac{K_d K_v \tau_2}{\tau_1 N} s + \frac{K_d K_v}{\tau_1 N}}{s^2 + \frac{K_d K_v \tau_2}{\tau_1 N} s + \frac{K_d K_v}{\tau_1 N}} = \frac{44,52,8s + 115,5}{s^2 + 11,52s + 115,5} \quad 3.6.38$$

3.6.6 Cálculo dos parâmetros do PLL

O PLL tem dois tipos de estabilidade: dinâmica e estática. Os limites de estabilidade dinâmica são limites que permitem ao PLL sincronizar com um sinal de referência, enquanto os limites de estabilidade estática são os limites até onde o PLL consegue manter o sincronismo com o sinal de referência. A figura 3.6.4 mostra os limites de estabilidade estática e dinâmica do PLL.

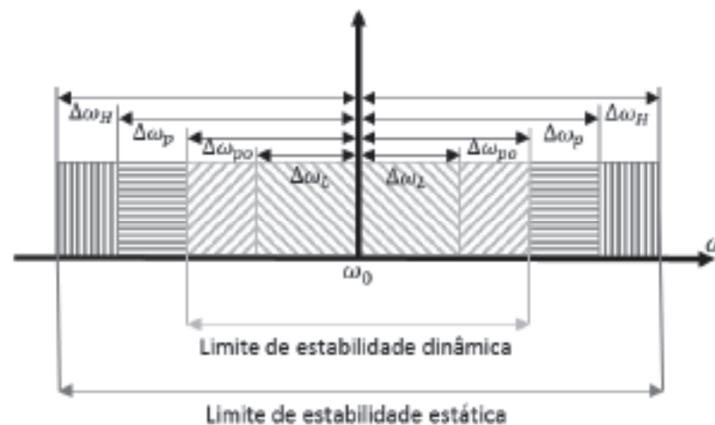


Figura 3.6.4 – Gráfico da estabilidade estática e dinâmica de um LPLL de 2ª ordem

A figura 3.6.4 mostra os limites de estabilidade estática e dinâmica do PLL.

A frequência ω_{3dB} corresponde à frequência de corte do sistema de 2ª ordem.

$$\omega_{3dB} = \omega_n \left[1 + 2\xi^2 + \sqrt{(1 + 2\xi^2)^2 + 1} \right]^{\frac{1}{2}} = 47,094 \text{ rad/s (7,495 Hz)} \quad 3.6.39$$

A variação máxima de frequência ($\Delta\omega_{max}$) corresponde à maior variação repentina do ângulo θ que o PLL consegue acompanhar, e é calculada pela equação 3.4.39.

$$\Delta\omega_{max} = \frac{\omega_n^2}{2} = 57,7813 \text{ rad/s (9,196 Hz)} \quad 3.6.40$$

A nível dinâmico, a margem de captura, $\Delta\omega_L$, simboliza o intervalo de frequências para o qual o PLL irá sempre conseguir sincronizar.

$$\Delta\omega_L = 4\pi\xi\omega_n = 279,6332 \text{ rad/s (44,5 Hz)} \quad 3.6.41$$

A margem de $\Delta\omega_{po}$ define um intervalo onde o PLL normalmente consegue sincronizar-se, embora de uma forma mais lenta,

$$\Delta\omega_{po} = 2\pi\omega_n e^{\left[\frac{\xi}{\sqrt{\xi^2 - 1}} \tanh^{-1} \left(\frac{\xi^2 - 1}{\xi} \right) \right]} = 233,8432 \text{ rad/s (37,317 Hz)} \quad 3.6.42$$

Apesar de já se encontrar fora da zona de estabilidade dinâmica na margem $\Delta\omega_p$ o PLL ainda pode sincronizar, mas será um processo muito lento,

$$\Delta\omega_p = \infty \quad 3.6.43$$

A margem $\Delta\omega_H$ é o intervalo máximo onde o PLL pode funcionar,

$$\Delta\omega_H = \frac{K_v K_d F(0) 2\pi}{N} = \infty \quad 3.6.44$$

3.7 PLL de 3ª ordem

3.7.1 Estudo do sistema com filtro ativo PI de 2ª ordem

Depois da implementação prática do sistema verificou-se que a resposta tinha muito ruído. Para reduzir o ruído da resposta introduziu-se um segundo condensador, C_2 , e com este condensador aumentou-se a ordem do filtro, sendo assim possível aumentar a atenuação para altas frequências [14].

O filtro ativo PI de 2ª ordem está representado na figura 3.7.1

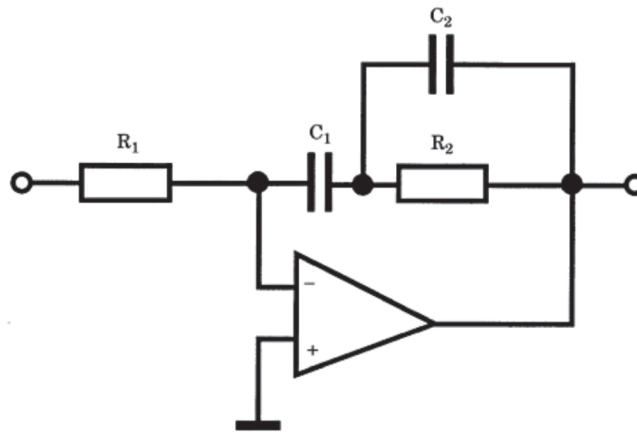


Figura 3.7.1 – Filtro ativo PI 2ª ordem

A partir da análise do circuito retira-se as equações do filtro.

$$F(s) = \frac{1+s(\tau_2+\tau_3)}{s\tau_1(s\tau_3+1)} \quad 3.7.1$$

Com:

$$\tau_1 = R_1 * C_1 \quad 3.7.2$$

$$\tau_2 = R_2 * C_1 \quad 3.7.3$$

$$\tau_3 = R_2 * C_2 \quad 3.7.4$$

3.7.2 Função de transferência do sistema com o filtro de 2ª ordem

Substituindo a função de transferência no diagrama de blocos pode-se retirar as equações em cadeia aberta e cadeia fechada do sistema com o filtro de segunda ordem,

Função de transferência em cadeia aberta (FTCA),

$$FTCA = \frac{\frac{K_p K_V (\tau_2 + \tau_3)}{N \tau_1 \tau_3} s + \frac{K_p K_V}{N \tau_1 \tau_3}}{s^3 + \frac{1}{\tau_3} s^2} \quad 3.7.5$$

Função de transferência em cadeia fechada (FTCF),

$$FTCF = \frac{\frac{K_p K_V (\tau_2 + \tau_3)}{N \tau_1 \tau_3} s + \frac{K_p K_V}{N \tau_1 \tau_3}}{s^3 + \frac{1}{\tau_3} s^2 + \frac{K_p K_V (\tau_2 + \tau_3)}{N \tau_1 \tau_3} s + \frac{K_p K_V}{N \tau_1 \tau_3}} \quad 3.7.6$$

3.7.3 Dimensionamento do filtro

Dependendo da fonte, o segundo condensador deve ser pelo menos 5 vezes inferior ao primeiro condensador [12], ou pelo menos 10 vezes inferior [14], para que o polo gerado pela colocação do segundo condensador esteja suficientemente afastado dos restantes polos e zeros de modo a que o dimensionamento realizado anteriormente seja válido.

Neste caso é possível aproximar o sistema de 3ª ordem a um de 2ª ordem.

Para determinar o condensador que melhor se adequa foram efetuadas simulações através do Matlab. As respostas da equação 3.7.6 utilizando diferentes condensadores são apresentadas no capítulo 4.2.2.

Capítulo IV: Implementação e Resultados

Resumo:

Neste capítulo é representado o diagrama a implementar e os resultados obtido em simulação através do Matlab.

É representado o esquema utilizado para obter a tensão de entrada do PLL, assim como os diferentes esquemas que foram equacionados para a implementação, e os resultados dos diagramas que foram implementados na prática.

4.1 Esquema de ligações da implementação prática

Para obter uma amostra da tensão da rede com uma amplitude de 5 V e uma forma de onda quadrada foi utilizado o transdutor de tensão LV25-P e o comparador LM311

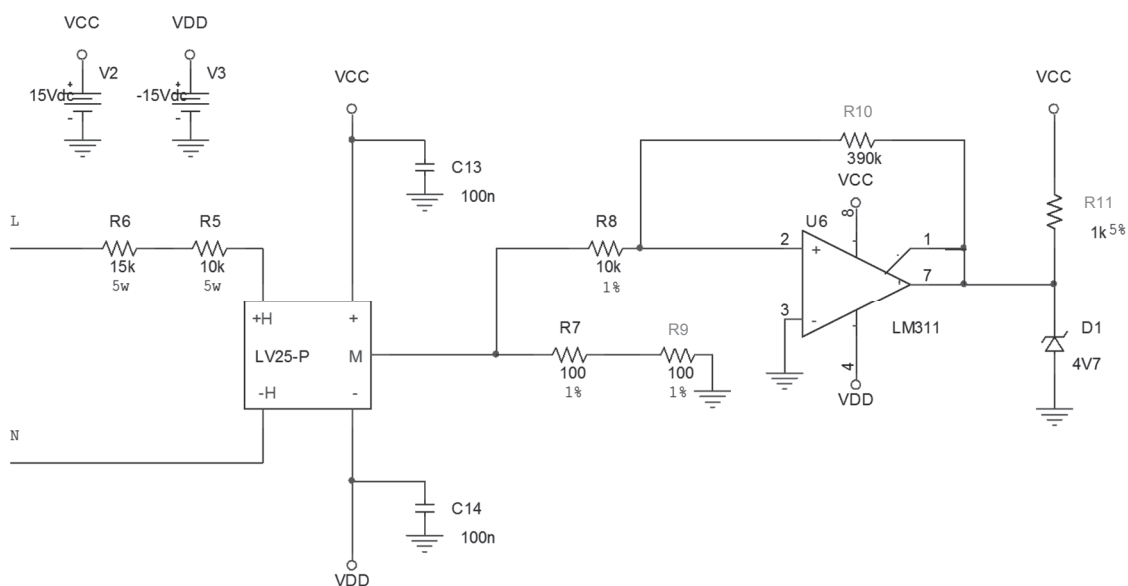


Figura 4.1.1 – Esquema de ligações para obtenção da tensão de entrada

Na figura 4.1.1 está representado o esquema utilizado para obter a amostra da tensão da rede. O esquema inclui o transdutor de tensão, LV25-P, que isola e reduz a amplitude da tensão da rede para valores com uma ordem de grandeza de unidade de Volt. Inclui também um comparador, LM311, que converte a tensão da rede para quadrada, bem como um diodo de *Zener*, D1, que limita a amplitude dessa tensão para níveis compatíveis com a lógica TTL de entrada do PLL.

Após a implementação do circuito simplificado da figura 4.1.3, e com o objetivo de melhorar o desempenho do PLL, foi implementado o PLL de 3.^a ordem.

Partindo da montagem simplificado foi introduzido um condensador, C_2 , em paralelo com a resistência, R_2 , de retroação do filtro. O condensador C_2 é aproximadamente 17 vezes inferior ao primeiro, C_1 . O esquema desta montagem está representado na figura 4.1.4.

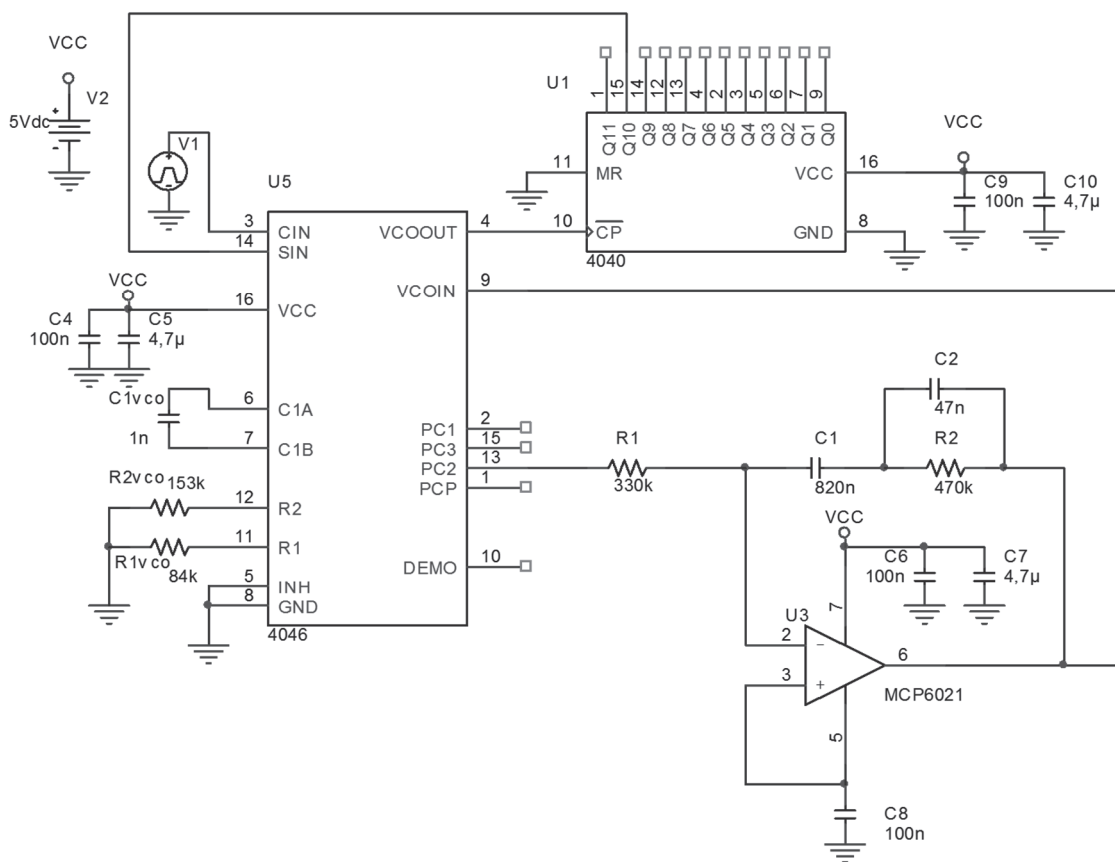


Figura 4.1.4 – Esquema de ligações simplificado com o filtro de 2.^a ordem

4.2 Resposta do sistema simulada no Matlab

4.2.1 PLL de 2ª ordem

Uma vez que no dimensionamento se fez a comparação da resposta para duas situações, $\xi = 0,707$ e $\xi = 2,07$, optou-se por simular também para estas duas situações e comparar a evolução das respostas.

A figura 4.2.1 representa a resposta ao longo do tempo do PLL a uma variação do tipo escalão, a) para um $\xi = 0,707$ e b) para um $\xi = 2,07$

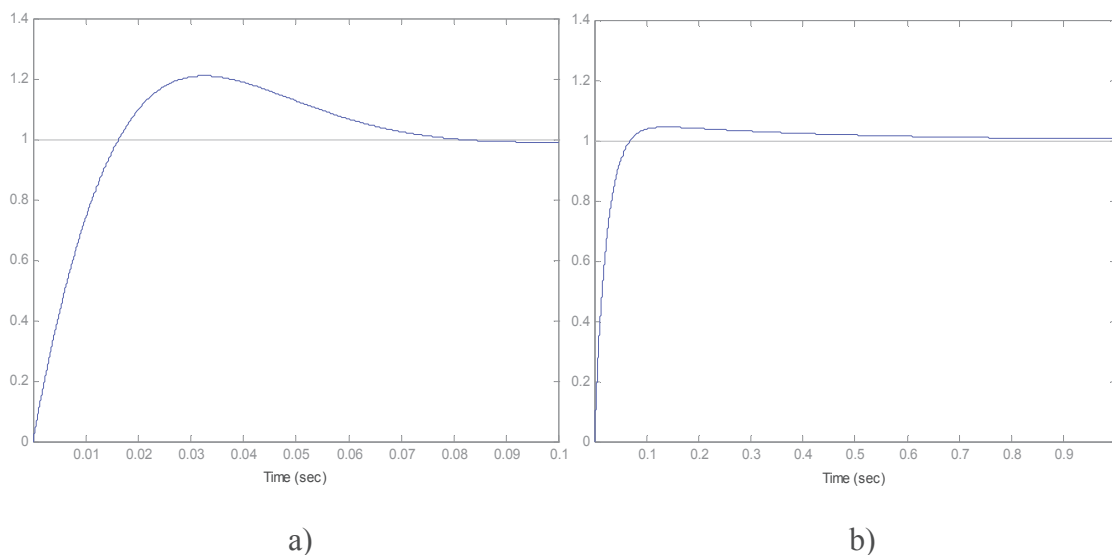


Figura 4.2.1 – Resposta à entrada tipo escalão. a) Coeficiente de amortecimento 0,707. b) Coeficiente de amortecimento 2,07

A figura 4.2.2 representa a resposta ao longo do tempo do PLL a uma variação do tipo rampa, a) para um $\xi = 0,707$ e b) para um $\xi = 2,07$

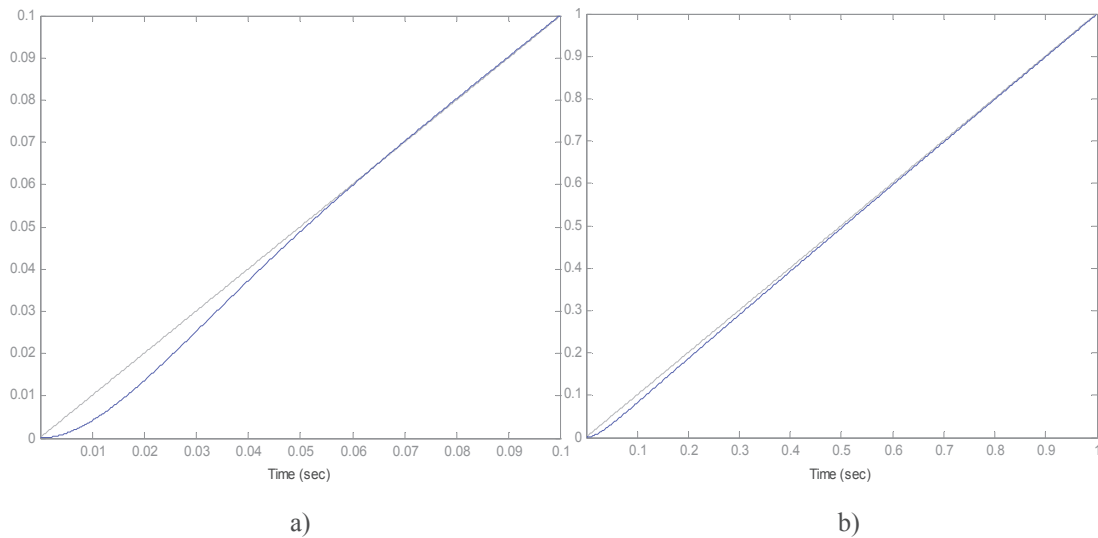


Figura 4.2.2 – Resposta à entrada tipo rampa. a) Coeficiente de amortecimento 0,707. b) Coeficiente de amortecimento 2,07

A figura 4.2.3 representa a resposta ao longo do tempo do PLL a uma variação do tipo parábola, a) para um $\xi = 0,707$ e b) para um $\xi = 2,07$

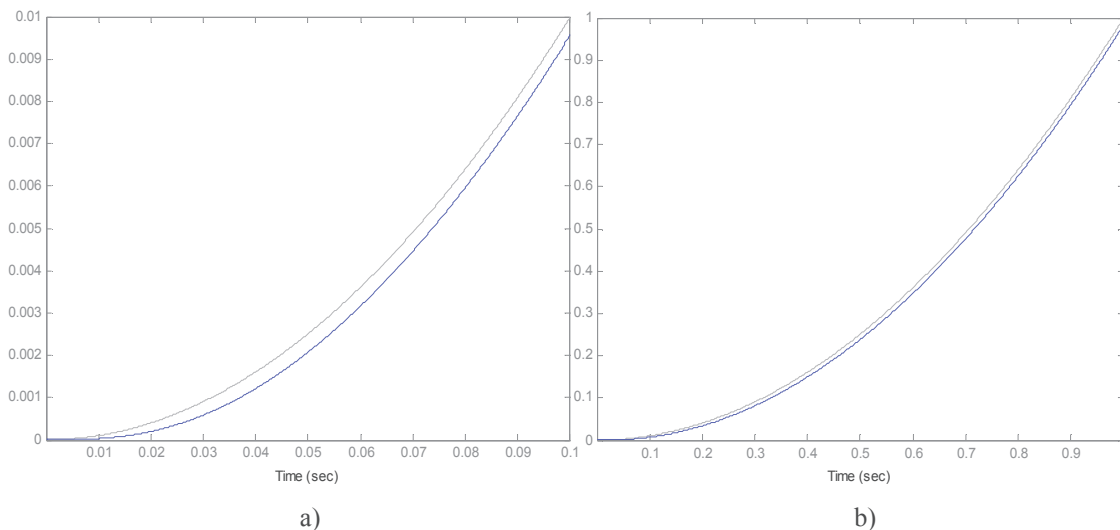


Figura 4.2.3 – Resposta à entrada tipo parábola. a) Coeficiente de amortecimento 0,707. b) Coeficiente de amortecimento 2,07

Observando as várias simulações verifica-se que para qualquer tipo de resposta o PLL com um $\xi = 0,707$ é mais rápido a estabilizar, $t_s = 0,1$ s, do que o PLL com um $\xi = 2,07$, $t_s = 0,96$ s.

Verifica-se que o mesmo pode ser observado em relação à sobrelevação onde um PLL com $\xi = 0,707$ tem sempre uma maior sobrelevação do que o PLL com $\xi = 2,07$.

Para além disso, verificou-se que para variações do tipo parábola o erro estático da resposta da função transferência não é nulo. A partir de uma determinada altura o erro mantém-se constante (figura 4.2.3).

Esse erro é superior num PLL com $\xi = 0,707$ quando comparado com o PLL com $\xi = 2,07$.

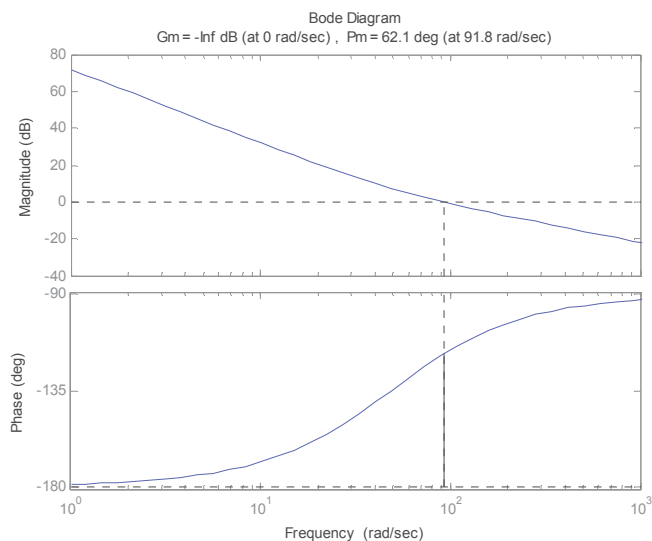
O erro final para a resposta a uma entrada tipo parábola pode ser determinado pela equação 4.1.1

$$e_f = \frac{CR_1}{K_d K_v K_n} \quad 4.1.1$$

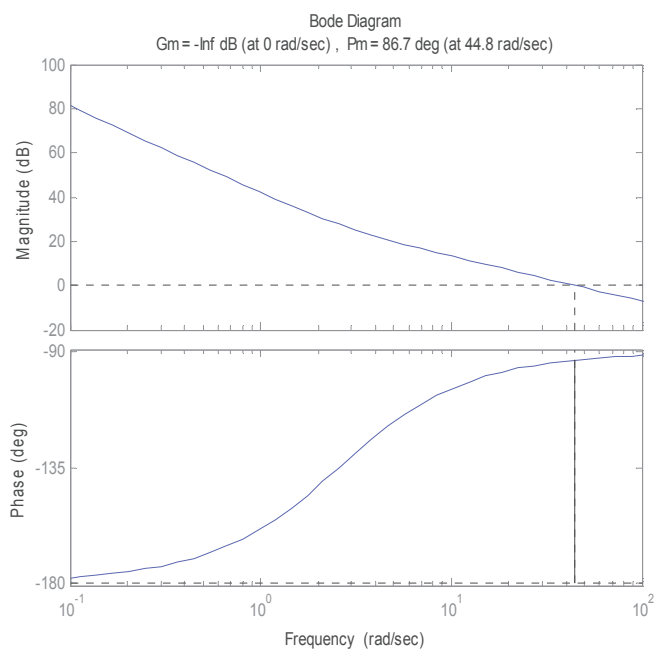
Depois de obtidos os parâmetros podemos calcular o seu valor,

$$e_f = \frac{CR_1}{K_d K_v K_n} = \frac{820 \times 10^{-9} \times 330 \times 10^3}{0,4 \times 160850 \times 4,88 \times 10^{-4}} = 8,61 \times 10^{-3} \quad 4.1.2$$

A figura 4.2.4.a representa a resposta em frequência do PLL em cadeia aberta, a) para um $\xi = 0,707$ e b) para um $\xi = 2,07$



a)



b)

Figura 4.2.4 – Resposta em frequência em cadeia aberta. a) Coeficiente de amortecimento 0,707. b) Coeficiente de amortecimento 2,07

A figura 4.2.4a representa o diagrama de bode da função de transferência em cadeia aberta com $\xi = 0,707$. Nesta situação a margem de fase é de $62,1^\circ$. Na função transferência em cadeia aberta com $\xi = 2,07$ (figura 4.2.4b), a margem de fase é de $86,7^\circ$.

4.2.2 PLL de 3^a ordem

Recorrendo ao MATLAB foi simulada a resposta da função de transferência em cadeia fechada do PLL de 3.^a ordem. Foi simulada a resposta em frequência com um condensador 10 vezes inferior ao condensador 1 e com um condensador 20 vezes inferior ao mesmo condensador.

A figura 4.2.5.a representa a resposta em frequência do PLL em cadeia aberta, a) C_2 de 82nF ($C_1 = 10C_2$) b) com um C_2 de 41nF ($C_1 = 20C_2$)

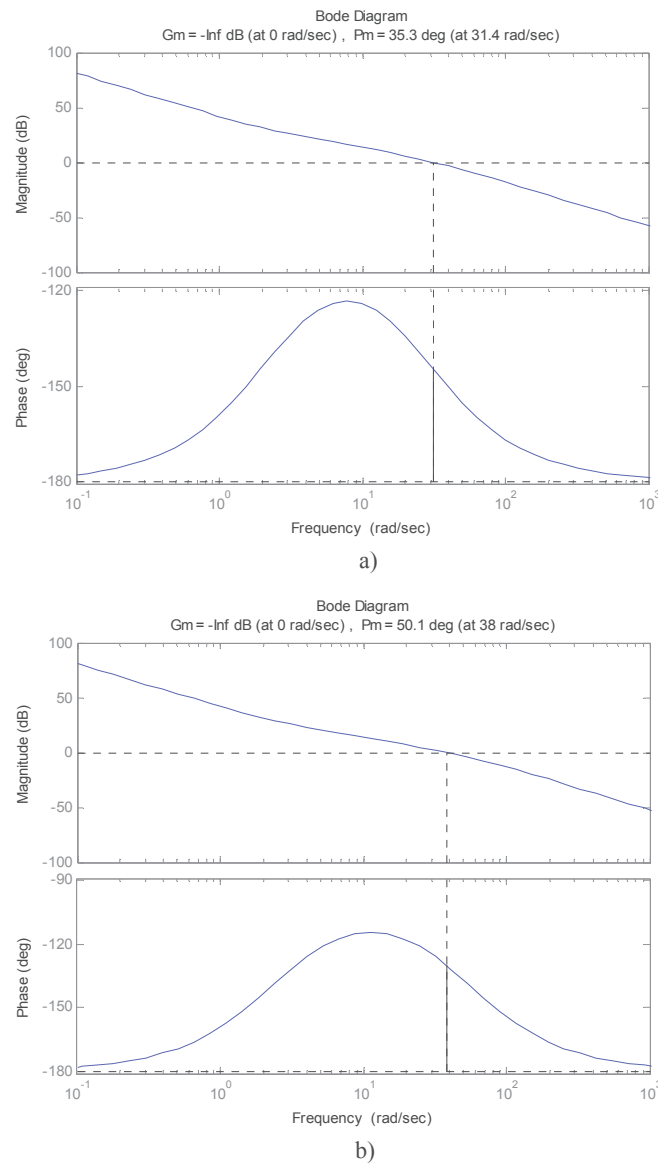
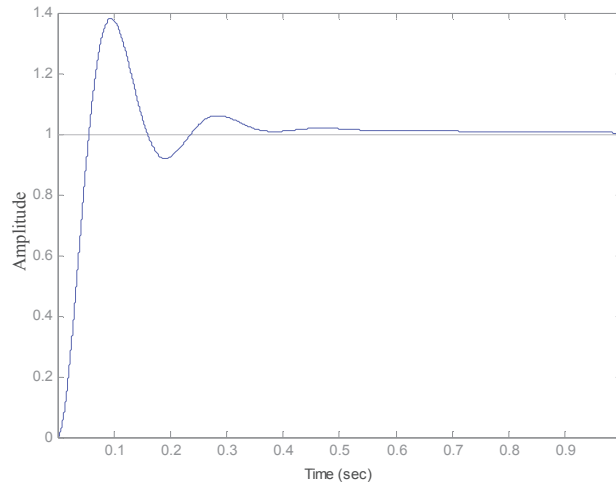


Figura 4.2.5 – Gráfico da resposta em frequência do sistema em cadeia aberta a) com um C_2 de 82nF ($C_1 = 10C_2$) b) com um C_2 de 41nF ($C_1 = 20C_2$)

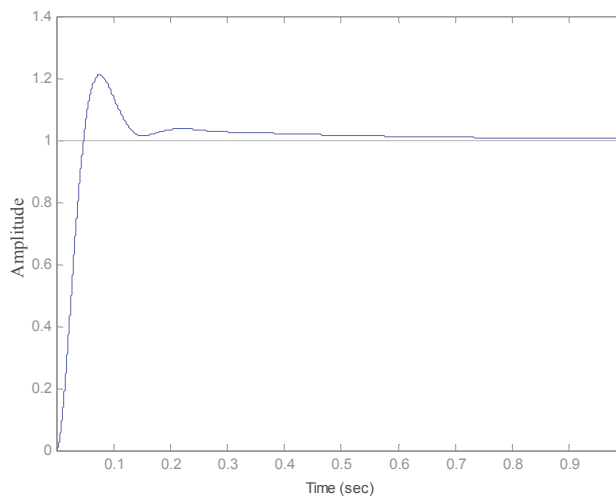
Na figura 4.2.5a temos a resposta em frequência do sistema em cadeia aberta com um condensador 10 vezes inferior ao primeiro. Neste caso o sistema tem uma margem de fase de $35,3^\circ$, o que é uma margem de fase muito reduzida. No caso do condensador 20 vezes inferior, figura 4.2.5b, o sistema já tem uma margem de fase de $50,1^\circ$.

Verifica-se que ao reduzir o valor do condensador a margem de fase do PLL aumenta.

Na figura 4.2.6a pode-se ver a resposta a um escalão do sistema com o condensador, C_2 , 10 vezes inferior ao primeiro, e na figura 4.2.6b a resposta do sistema com o condensador, C_2 , 20 vezes inferior.



a)



b)

Figura 4.2.6 – Gráfico da evolução do sistema ao longo do tempo, a) com C_2 de 82 nF ($C_1 = 10C_2$)
b) com C_2 de 41 nF ($C_1 = 20C_2$)

Da simulação da resposta a uma variação do tipo escalão do PLL de 3.^a ordem verifica-se que a introdução do segundo condensador dá origem a um aumento da sobrelevação e que quanto menor for o condensador menor é essa sobrelevação.

Tendo em conta a resposta em frequência e a resposta ao escalão apresentadas anteriormente para um sistema com um segundo condensador, optou-se por um condensador aproximadamente 17 vezes (47nF) inferior ao primeiro, uma vez que este tem uma melhor margem de fase e uma sobrelevação mais reduzida.

Na figura 4.2.7 pode-se ver a resposta do sistema para o condensador utilizado.

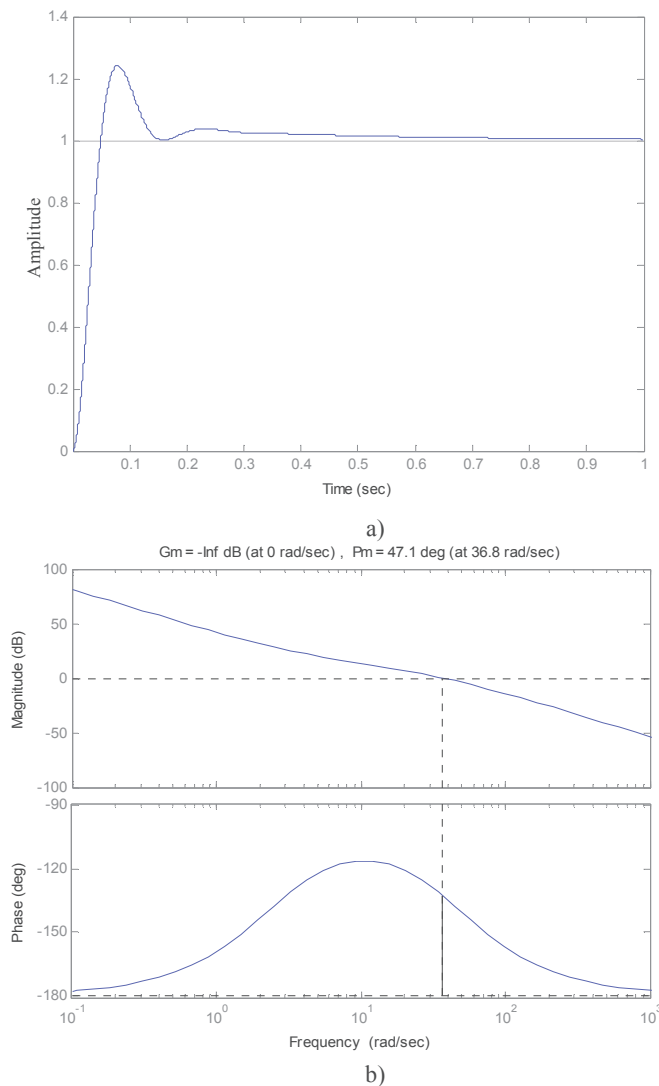


Figura 4.2.7 – Resposta do sistema com C_2 de 47nF, a) a uma entrada do tipo escalão b) resposta em frequência do sistema em cadeia aberta.

4.3 Resultados obtidos através de implementação

Os resultados apresentados foram obtidos para uma frequência de entrada de 50 Hz e para um intervalo entre os 40 Hz e os 60 Hz, garantindo o limite de frequência permitido pela norma EN 50160, 47 Hz a 52 Hz.

Os resultados foram primeiro obtidos utilizando um gerador de sinais para simular a tensão de entrada com diferentes frequências, comparando a tensão de entrada com a tensão de saída, avaliando a tensão do filtro consoante a entrada, e verificando a saída consoante a tensão do filtro.

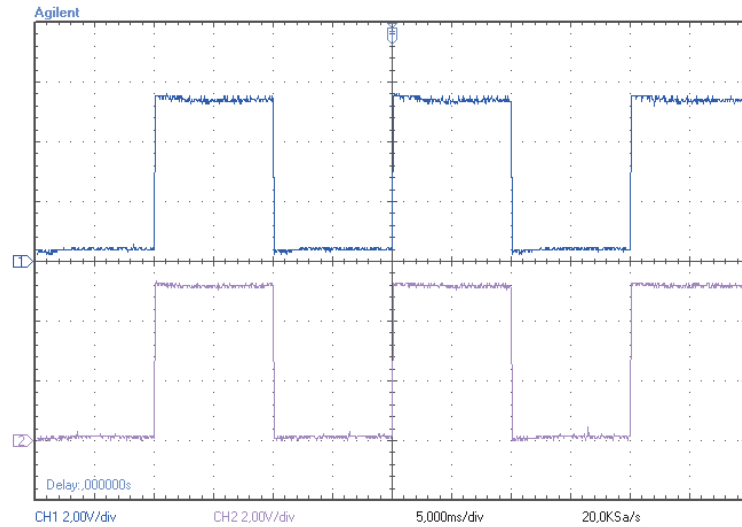
Foi também implementado um circuito para obter a tensão da rede com uma amplitude de 5 V e com uma forma de onda quadrada. Os resultados da resposta do PLL tendo à entrada a tensão da rede são também apresentados.

Cada uma das figuras mostra dois canais de modo a fazer as comparações, o canal 1 a azul e o canal 2 a cor de rosa.

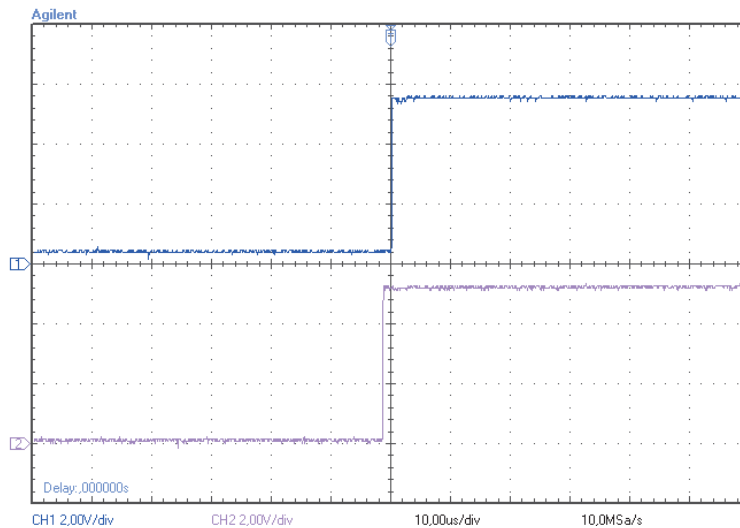
4.3.1 Resposta do PLL com entrada simulada

Os resultados apresentados neste subcapítulo são resultados obtidos utilizando um gerador de sinais de modo a apresentar o funcionamento do PLL para entradas com diferentes frequências, o funcionamento livre, e a transição de funcionamento livre ao estado sincronizado.

Na figura 4.3.1 pode-se observar a azul a tensão de entrada do PLL, e a cor-de-rosa a tensão de saída do PLL.



a)



b)

Figura 4.3.1 – Tensão de entrada (a azul) e de saída do PLL (a cor de rosa). a) com uma escala de 5ms/divisão, b) com uma escala de 10 μ s/divisão

A figura 4.3.1a está representada de modo a ser visível que para uma tensão de entrada de 50 Hz a tensão de saída é uma tensão idêntica à tensão de entrada.

Na figura 4.3.1b está representada a mesma imagem mas com uma escala de tempo mais pequena. Enquanto a figura 4.3.1a está com uma escala de 5 ms por divisão, de modo a que sejam visíveis pelo menos 2 períodos da tensão, a figura 4.3.1b está com uma escala de 10 μ s por divisão, de modo a ser visível um ligeiro desvio, 2 μ s, na transição ascendente da tensão e saída em relação à tensão de entrada.

Na figura 4.3.2 são observados os resultados obtidos quando o PLL está sincronizado com a tensão de entrada. Na figura 4.3.2a com uma frequência de 40 Hz e na figura 4.3.2b com uma frequência de 60 Hz, pode-se observar a tensão de entrada do PLL representada a cor-de-rosa, e a tensão de saída do PLL representada a azul.

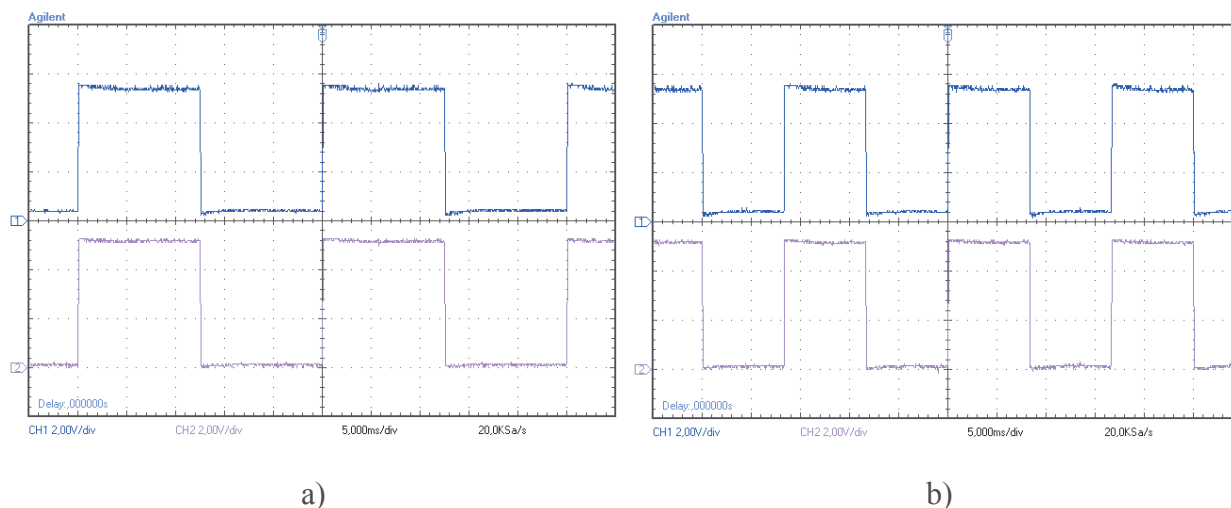
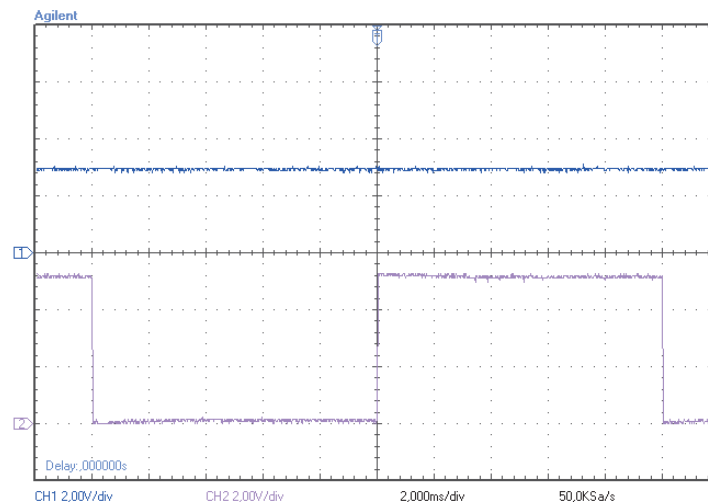


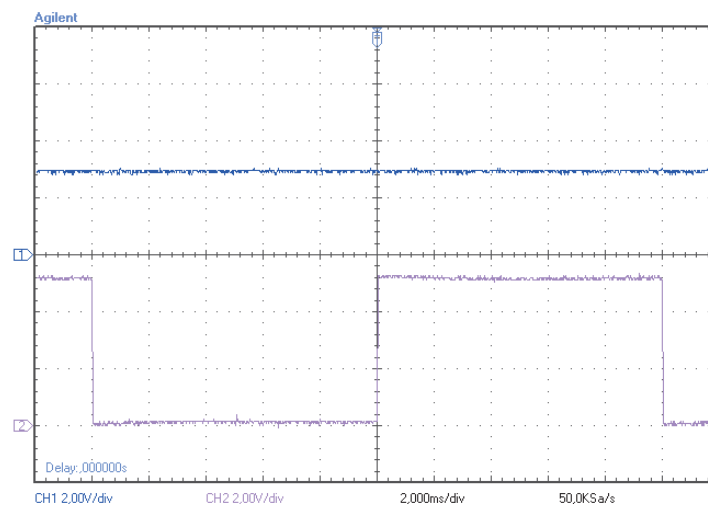
Figura 4.3.2 – Tensão de entrada (a azul) e de saída (a cor de rosa) do PLL. a) Tensão de entrada a 40 Hz e b) Tensão de entrada a 60 Hz

Verifica-se que em ambas situações o PLL continua perfeitamente sincronizado.

Na figura abaixo (figura 4.3.3) pode-se observar a tensão à saída do filtro (representado a azul) quando o PLL está sincronizado com uma tensão de entrada com uma frequência de 50 Hz. A cor de rosa, na figura 4.3.3a, pode-se observar a tensão de entrada do PLL, e na figura 4.3.3b a tensão de saída do PLL.



a)



b)

Figura 4.3.3 – Tensão de saída do filtro (a azul) e (a cor de rosa) a) Tensão de entrada do PLL a 50 Hz, b) Tensão de saída do PLL

Quando o PLL está sincronizado com uma tensão de entrada com uma frequência de 50 Hz a tensão à saída do filtro é ligeiramente inferior a 3V.

Na figura 4.3.4 observa-se a tensão à saída do filtro do PLL em funcionamento livre, i.e., quando não tem nenhuma tensão à entrada (a azul) e a tensão de saída do PLL (a cor de rosa). A figura 4.3.5 apresenta a tensão à entrada do PLL (a cor de rosa) e a resposta do PLL quando, partindo do estado de funcionamento livre, deteta uma tensão à entrada do PLL (a azul).

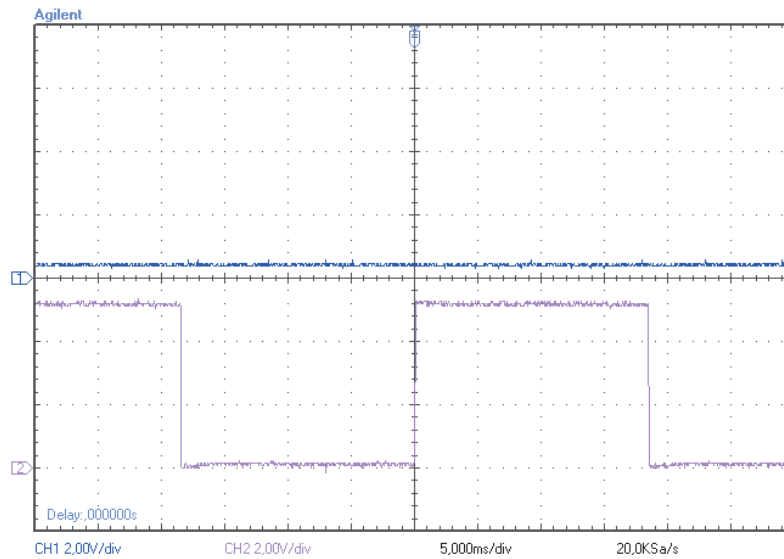


Figura 4.3.4 – Tensão de saída do filtro (a azul) e tensão de saída do PLL sem tensão de entrada (cor de rosa)

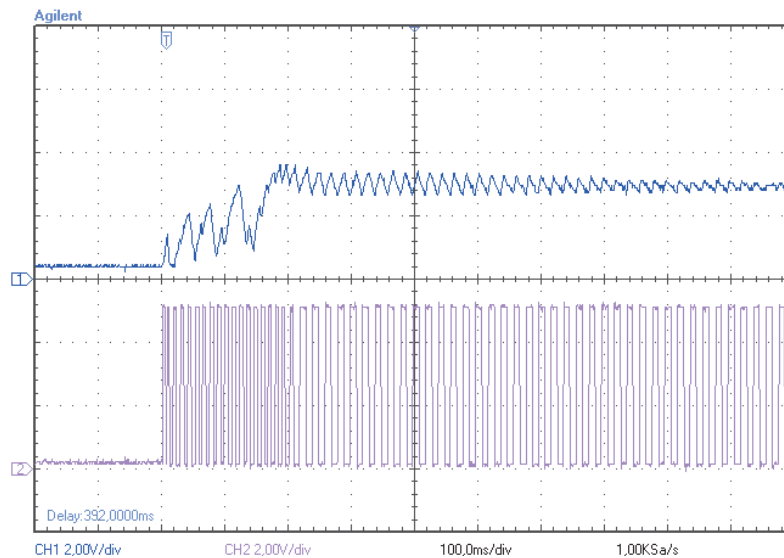


Figura 4.3.5 – Tensão de saída do filtro (a azul) e tensão de entrada do PLL (a cor de rosa).

Analisando os resultados obtidos anteriormente, utilizando o gerador de sinais para gerar a tensão de entrada, é possível comprovar que o PLL está sincronizado com a tensão de entrada a 50 Hz, e que a tensão de saída do filtro nessa situação é ligeiramente inferior a 3 V. É também possível verificar que o PLL consegue permanecer sincronizado no intervalo de frequências de 40 Hz a 60 Hz.

Observa-se que apesar de estar sincronizado e de ter sido introduzido o segundo condensador com o objetivo de aumentar a atenuação para frequências altas e reduzir ruído à entrada do VCO, que ainda existe uma ligeira perturbação. Esta perturbação é, no entanto, inferior a 2 μ s e é originada pelo funcionamento do detector de fase.

Essa perturbação é também visível na resposta da tensão de saída do filtro do PLL ao aparecimento de uma tensão de entrada quando o PLL está inicialmente em funcionamento livre. Apesar da presença dessa perturbação, é possível verificar nessa resposta que quando a tensão de entrada é detetada o valor médio da tensão à saída do filtro tem uma ligeira sobrelevação tendendo depois para uma tensão ligeiramente inferior aos 3 V, tensão correspondente à entrada com 50 Hz.

É possível verificar que na situação de não haver uma tensão de entrada no PLL a tensão de saída é uma tensão com uma frequência de aproximadamente 26 Hz.

4.3.2 Resposta do PLL com entrada da rede

Neste subcapítulo são apresentados os resultados da implementação do PLL tendo à entrada a tensão da rede elétrica.

De modo a obter uma tensão com as características da tensão da rede utilizou-se um transdutor de tensão (LV25-P) para reduzir a amplitude da tensão da rede. Posteriormente utilizou-se um comparador (LM311) para converter a tensão da rede numa tensão quadrada, limitando a amplitude dessa tensão para valores compatíveis com a lógica TTL com um diodo *Zener*.

Nas figuras em baixo (figuras 4.3.6 e 4.3.7) é possível comparar a tensão de saída do PLL (a cor de rosa) com a tensão da rede (a azul). Esta última corresponde na figura 4.3.6 à tensão de saída com transdutor de tensão (forma de onda sinusoidal) e na figura 4.3.7 à tensão de saída do comparador (forma de onda quadrada).

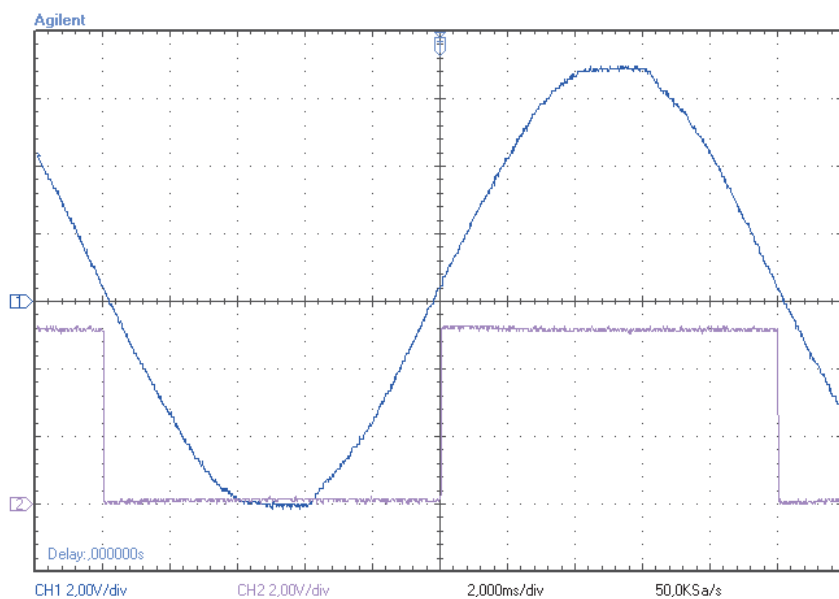


Figura 4.3.6 – Tensão da rede à saída do transdutor (a azul) e tensão de saída do PLL (a cor de rosa).

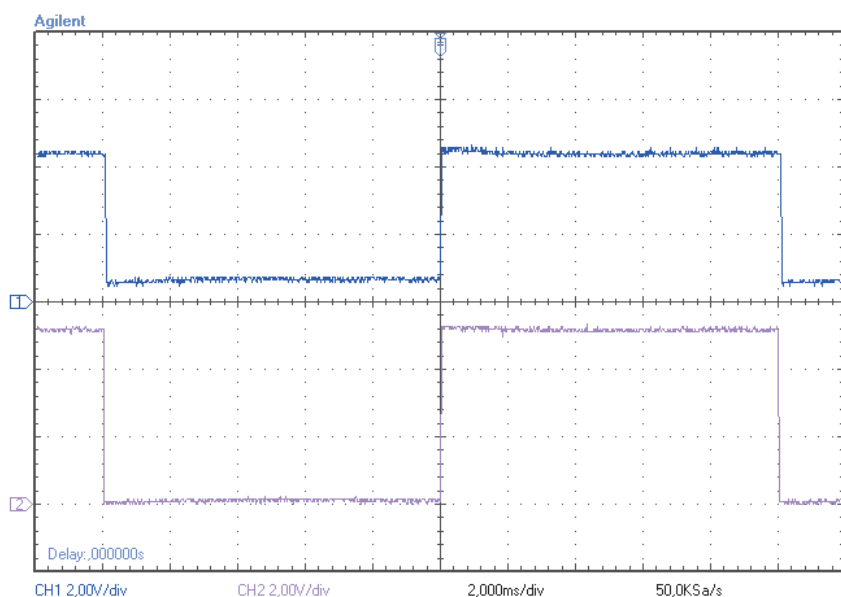
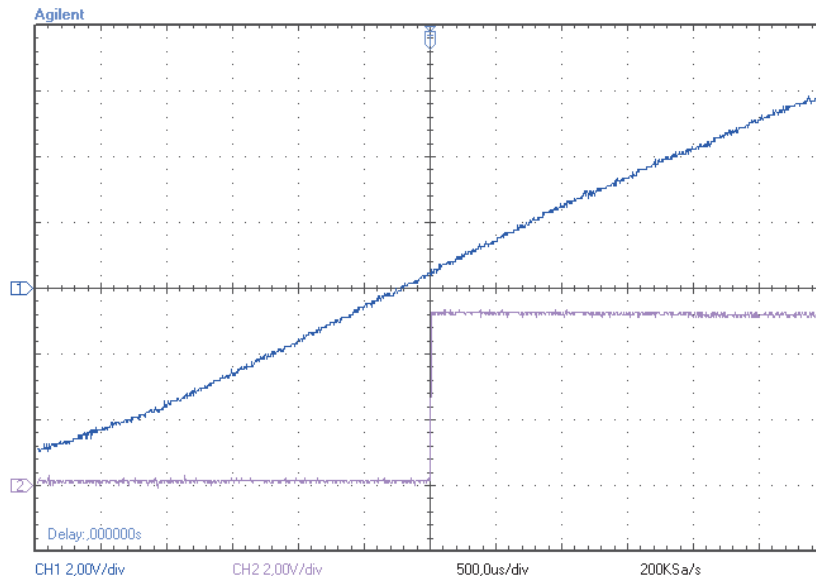


Figura 4.3.7 – Tensão da rede à saída do comparador (a azul) e tensão de saída do PLL (a cor de rosa)

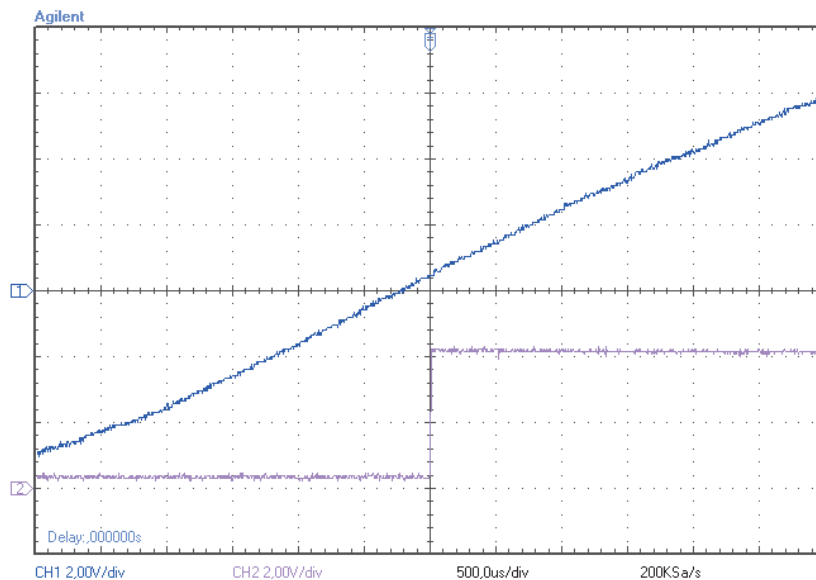
Na figura 4.3.6 é possível observar que quando comparada a tensão de saída do PLL com a tensão da rede à saída do transdutor, a tensão de saída do PLL tem um ligeiro atraso, i.e., o flanco ascendente surge apenas 0,2ms após a tensão da rede passar por zero.

Na figura 4.3.7 é possível observar que quando comparada a tensão da rede, quadrada, à saída do comparador já não se verifica esse atraso. Neste caso as tensões estão perfeitamente sincronizadas, e apenas diferem na amplitude visto que a saída do comparador está limitada aos 4,7 V do diodo de *Zener*.

Nas figuras a baixo pode-se observar a tensão da rede à saída do transdutor (a azul) e a tensão da rede à saída do comparador (a cor-de-rosa, na figura 4.3.8b) ou à saída do PLL (a cor-de-rosa, na figura 4.3.8a). nestes dois casos a escala de tempo é mais reduzida (i.e. 0,5ms por divisão) que nas figuras anteriores.



a)



b)

Figura 4.3.8 – Tensão sinusoidal da rede (a azul) e (a cor de rosa) a) Tensão de saída do PLL, b) Tensão de saída do comparador

Nos resultados apresentados na figura 4.3.8a é possível confirmar o atraso da tensão de saída do PLL em relação à tensão da rede à saída do transdutor. O que se pode observar na figura 4.3.8b é que esse atraso também se verifica quando se compara a tensão da rede à saída do transdutor com a tensão da rede à saída do comparador. Uma vez que apenas a tensão da rede à saída do comparador é utilizada como entrada do PLL, pode-se comprovar que o atraso verificado na tensão à saída do PLL é um atraso não do PLL mas do comparador. I.e., a tensão utilizada como entrada do PLL já tem um atraso em relação à tensão da rede à saída do transdutor.

Capítulo V: Conclusões e propostas de trabalho futuras

Resumo:

Neste capítulo são apresentadas as conclusões da implementação do PLL, quer das simulações quer da implementação prática.

É também deixada uma sugestão de estudo futuro.

5.1 Conclusão

Esta tese apresentou uma malha de captura de fase indicada para a sincronização e processamento de sinais da rede elétrica, cuja aplicação em análise se centra nos conversores DC/AC. Foi mostrada a importância dos parâmetros de sincronização nos conversores de modo a garantir a sua correta sincronização com a rede de energia.

Através da simulação em Matlab, mostrou-se a grande versatilidade do PLL fazendo a comparação da resposta para duas situações, com $\xi = 0,707$ e $\xi = 2,07$. Verificou-se que com um $\xi = 0,707$ o PLL é estável e chega a uma situação de sincronismo em $t_s = 0,1$ s. No entanto observou-se uma sobrelevação elevada, superior a 20 %, devido ao zero da função de transferência. Quando o dimensionamento foi feito com $\xi = 2,07$ verificou-se que a sobrelevação é muito menor, 5 %, mas neste caso o tempo de estabilização do PLL é superior, $t_s = 0,96$ s. No entanto, devido aos requisitos para estabelecer sincronismo com a rede, uma vez que esta requer uma resposta lenta e com pouca sobrelevação, utilizou-se o PLL com um $\xi = 2,07$ na fase de implementação.

Quando foi implementado o esquema do PLL de 3.^a ordem com um $\xi = 2,07$, foi possível observar ainda que:

- Apesar da introdução do segundo condensador, a tensão à saída do filtro não era uma tensão DC tendo ainda uma pequena componente AC. A introdução do segundo condensador fez também aumentar a sobrelevação da resposta mas verificou-se que esse aumento era tanto menor quanto menor fosse o condensador.
- A tensão gerada pelo PLL tem a mesma fase que a tensão da rede. No entanto, é importante notar que neste estudo a tensão de entrada não tinha muito ruído, o que não permite confirmar que a tensão gerada pelo PLL seja uma réplica da 1.^a harmónica da tensão da rede.
- A tensão à saída do filtro é nula quando não existe tensão de entrada permitindo ao conversor parar o fornecimento de energia numa situação de ausência da rede.

- Foi possível observar ainda que quando o PLL deteta uma tensão de entrada responde de imediato e que a resposta deste é lenta permitindo que a tensão de saída do PLL não seja afectada por pequenas perturbações da rede.

Com os resultados obtidos após a implementação do esquema do PLL de 3.^a ordem foi possível verificar que tal como na simulação em Matlab a resposta tem uma sobrelevação de aproximadamente 24 % devido ao 2.º condensador e que sincroniza ligeiramente mais rápido, ao fim de $t_s = 0,94$ s.

Com este trabalho verificou-se que com uma malha de captura de fase com o dimensionamento proposto é possível gerar uma tensão de referência com a mesma fase da tensão da rede, que permita ao conversor controlar o trânsito de energia activa para a rede. Isto significa que é possível retirar os transformadores dos conversores. Inovações como esta é que têm contribuído para a redução de custo na produção de sistemas fotovoltaicos, tornando estes numa alternativa mais atractiva na geração de energia eléctrica. Tendo-se nos últimos anos assistido a um aumento significativo no número de centrais fotovoltaicas ligadas à rede de energia.

5.2 Propostas de trabalho futuro

Após o trabalho desenvolvido nesta dissertação fica em aberto a possibilidade de efectuar o estudo de uma malha de captura de fase semelhante que permita gerar duas tensões de referência de modo a regular o trânsito de energia activa e de energia reactiva para a rede. Com essa montagem será possível ao conversor controlar a injeção de energia reactiva na rede, possibilitando também o controlo do factor de potência.

É também possível o estudo de outros tipos de aplicações utilizando o PLL, na área das comunicações (modelação de sinais digitais) ou instrumentação (conversores de tensão frequência)

Bibliografia

- [1] UNFCCC. 2016. Report of the Conference of the Parties on its twenty-first session, held in Paris from 30 November to 13 December 2015. Addendum. Part two: Action taken by the Conference of the Parties at its twenty-first session (FCCC/CP/2015/10/Add.1). In.
- [2] IPCC, 2014: Climate Change 2014: Mitigation of Climate Change. Contribution of Working Group III to the Fifth Assessment Report of the Intergovernmental Panel on Climate Change [Edenhofer, O., R. Pichs-Madruga, Y. Sokona, E. Farahani, S. Kadner, K. Seyboth, A. Adler, I. Baum, S. Brunner, P. Eickemeier, B. Kriemann, J. Savolainen, S. Schlömer, C. von Stechow, T. Zwickel and J.C. Minx (eds.)]. Cambridge University Press, Cambridge, United Kingdom and New York, NY, USA.
- [3] Trends in Photovoltaic Applications. Survey Report of Selected IEA Countries Between 1992 and 2014. International Energy Agency Photovoltaic Power Systems, IEA PVPS T1-30:2016. [Online]. Available: www.iea-pvps.org
- [4] S. B. Kjaer, J. K. Pedersen and F. Blaabjerg, "A Review of Single-Phase Grid-Connected Inverters for Photovoltaic Modules," IEEE Transactions on Industry Applications, Vol. 41, No. 5, Sep. 2005.
- [5] N A. Anani, O A. Al-Kharji, P V. Ponnappalli, S R. Al-Araji² and M. A. Al-Qutayri, "Synchronization of A single-phase photovoltaic generator with the low-voltage utility grid," Proceedings of the ASME 2011 5th International Conference on Energy Sustainability ES2011, August 7-10, 2011, Washington, DC, USA
- [6] I. Erlich, "Grid Code Requirements Concerning," 2005.

- [7] Y. Yang e F. Blaabjerg, “Synchronization in Single-Phase Grid-Connected Photovoltaic Systems under Grid Faults,” em *In Power Electronics for Distributed Generation Systems (PEDG)*, Dinamarca, 2012.
- [8] F Schimpf, L E. Norum, " Grid connected Converters for Photovoltaic, State of the Art, Ideas for Improvement of Transformerless Inverters", Nordic Workshop on Power and Industrial Electronics, June 9-11, 2008
- [9] S. V. Araújo, P Zacharias, R. Mallwitz, "Highly Efficient Single-Phase Transformerless Inverters for Grid-Connected Photovoltaic Systems" IEEE Transactions on Industrial Electronics, VOL. 57, NO. 9, SEPTEMBER 2010
- [10] M. Ciobotaru, R. Teodorescu e F. Blaabjerg, “Improved PLL structures for single-phase grid inverters,” Aalborg, Dinamarca, 2005.
- [11] G. B. Clayton " Operational Amplifiers" Elsevier, 2013
- [12] R. E. Best, “Phase-Locked Loops - Design, Simulation and Applications,” McGraw Hill companies, United States, 2003.
- [13] Philips, “Phase-locked-loop with VCO - 74HC/HCT4046A datasheet,” 1997.
- [14] Texas Instruments. “High Performance Phase-Locked Loop - TLC2932 datasheet,” 1994.

Anexos

Anexo 1 – Código em Matlab para determinar os parâmetros ξ e ω_n

```
clear
clc

Wn=1;

J=[0.5 0.6 0.707 0.8 0.9 1 2.1];
t1=0.000001:0.00001:12;

for i=1:7
    Z=J(i);

    FT1=tf([2*Z*Wn Wn^2],[1 2*Z*Wn Wn^2]);

    y1=t1./t1;
    figure(1)
    lsim(FT1,y1,t1);

    legend('\zeta=0,5','\zeta=0,6','\zeta=0,707','\zeta=0,8','\zeta=0,9','\zeta=1','\zeta=2,1','Location','SouthEast');
    hold on
end
grid on
hold off

J=[5 10 15 20 25 30];

for i=1:6
    Z=2.1;

    Wn=J(i);
    FT1=tf([2*Z*Wn Wn^2],[1 2*Z*Wn Wn^2]);

    figure(5)
    bodeplot(FT1);

    legend('\omegan=5','\omegan=10','\omegan=15','\omegan=20','\omegan=25','\omegan=30','NorthEastOutside');
    hold on
end
grid on
hold off
```

Anexo 2 – Código em Matlab para obter as respostas do PLL aos diferentes tipos de
entrada e resposta em frequência

```
clear
clc

N=2048;
Kd=0.4;
Kv=160850;
Kn=1/N;

C=820*10^-9;
C2=47*10^-9;

R1=330*10^3
R2=470*10^3

tau1=R1*C
tau2=R2*(C+C2)
tau3=R2*C2

% Filtro de 1ª Ordem
FTCA=tf([Kd*Kv*tau2/N Kd*Kv/N],[tau1 0 0])
FTCF=tf([(Kd*Kv*tau2)/(tau1*N) (Kd*Kv)/(tau1*N)], [1
(Kd*Kv*tau2)/(tau1*N) (Kd*Kv)/(tau1*N)])

% Filtro de 2ª Ordem
FTCA=tf([(Kd*Kv*(tau2+tau3))/(tau1*tau3*N) (Kd*Kv)/(tau1*tau3*N)], [1
1/tau3 0 0])
FTCF=tf([(Kd*Kv*(tau2+tau3))/(tau1*tau3*N) (Kd*Kv)/(tau1*tau3*N)], [1
1/tau3 (Kd*Kv*(tau2+tau3))/(tau1*tau3*N) (Kd*Kv)/(tau1*tau3*N)])
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Resposta a Entradas %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
t=0.000001:0.00001:1;

y1=t./t;
figure(1)
lsim(FTCF,y1,t);
hold on
lsim(FTCF,y1,t);
hold off

y2=t./t;
figure(2)
lsim(FTCF,t,t);

y3=t.*t;

figure(3)
lsim(FTCF,y3,t);
```

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Frequência %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
```

```
figure(10);  
bodemag(FTCF);  
figure(11);  
bodeplot(FTCA);  
margin(FTCA);
```