

# Conversor Monolítico CMOS para 2,4GHz e 1,8V com Osciladores Integrados

Fernando Azevedo<sup>1,2</sup>, Fernando Fortes<sup>1,2</sup>, M. João Rosário<sup>2,3</sup>

<sup>1</sup>Instituto Superior de Engenharia de Lisboa, Rua Conselheiro Emídio Navarro, 1049-014 Lisboa, Portugal

<sup>2</sup>Instituto de Telecomunicações, Av. Rovisco Pais, 1049-001 Lisboa, Portugal

<sup>3</sup>Instituto Superior Técnico, Av. Rovisco Pais, 1049-001 Lisboa, Portugal

email: fazevedo@deetc.isel.ipl.pt ffortes@deetc.isel.ipl.pt mrosario@alfa.ist.utl.pt

## Resumo

*Esta comunicação descreve o projecto e simulação de um circuito misturador monolítico de dupla conversão com rejeição de imagem e osciladores locais integrados. O circuito, totalmente integrado, é implementado numa tecnologia CMOS normalizada de 0,35 $\mu$ m. As simulações foram obtidas usando o modelo BSIM3 e apresentam uma rejeição de imagem de 50dB. O ganho de conversão é de 14dB a 2,4GHz com uma tensão de alimentação de 1,8V. O consumo total do circuito é de 18mW.*

**Palavras Chave** - CMOS RFIC, misturadores, osciladores, conversão de frequência, comunicações sem fios.

## I. INTRODUÇÃO

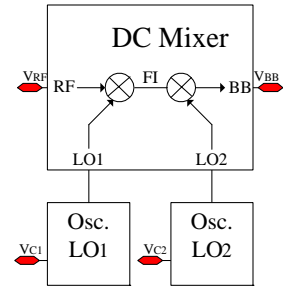
A tecnologia CMOS é actualmente a melhor solução para implementação de circuitos com elevado nível de integração, consumo reduzido e baixo custo. Como se sabe, estes atributos são muito importantes no domínio das comunicações sem fios. Embora se tenha vindo a assistir a uma evolução significativa dos circuitos *front-end* de RF, a maior parte das soluções limitam-se a um número restrito de aplicações utilizando aquela tecnologia. A aplicação a circuitos *front-end* com características competitivas, obriga à pesquisa de topologias inovadoras que permitam explorar o que de melhor tem a tecnologia, contornando simultaneamente as suas limitações.

Existem elementos chave no projecto de transceptores que permitem eliminar componentes externos, com vista à integração total, como o misturador e os osciladores. Todos os sistemas de comunicações sem fios os utilizam. Os misturadores são circuitos de transposição de frequência que convertem os sinais de entrada de uma frequência para outra, através da mistura destes sinais com um sinal auxiliar de frequência conhecida, disponibilizado pelo oscilador local. Até à pouco tempo os misturadores passivos utilizando diodos eram os mais usados, uma vez que são bastante eficazes e o princípio de funcionamento é extremamente simples. Hoje em dia o projecto de misturadores deve obrigatoriamente considerar compromissos entre ganho de conversão, rejeição de imagem, isolamento entre portos, linearidade, potência do oscilador local, figura de ruído, gama dinâmica, tensão de alimentação e consumo de corrente.

Atendendo à necessidade crescente do nível de integração e eliminação dos componentes passivos discretos em RFIC, será necessário ter em conta a rejeição de imagem e ganho de conversão, para compensar o reduzido desempenho da filtragem *on-chip*[1].

Nos últimos anos alguns autores propuseram soluções de arquitecturas inovadoras das quais se destacou a *FI de Banda Larga com Rejeição de Imagem*. A arquitectura de dupla conversão FI de Banda Larga converte todo o espectro de RF, que passa do filtro de RF directamente para banda base, como na conversão directa. Contudo, contrastando com a conversão directa, a transposição é feita em dois passos, usando dois osciladores e dois conjuntos de misturadores[2] o que apresenta duas vantagens: não existe nenhum oscilador a operar na frequência do sinal de entrada de RF e a sintonia do receptor pode ser realizada no segundo oscilador local, de baixa frequência.

Esta comunicação descreve o projecto e simulação de um circuito misturador monolítico activo de 2,4GHz de dupla conversão, para recepção, com rejeição de imagem e ganho, incluindo os dois osciladores locais  $f_{LO1}=1,9\text{GHz}$  e  $f_{LO2}=500\text{MHz}$  (figura 1). O circuito, totalmente integrado, é implementado numa tecnologia CMOS normalizada de  $0,35\mu\text{m}$  da AMS<sup>1</sup> (C35B4), inclui filtragem passa-baixo e é alimentado com uma fonte de 1,8V. As simulações foram obtidas usando o modelo BSIM3.



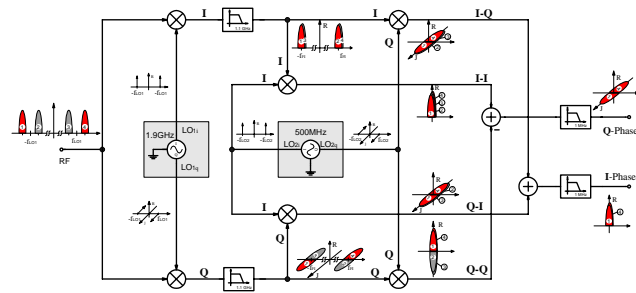
**Figura 1. Diagrama de Blocos.**

## II. MISTURADOR REJEITA-IMAGEM

Para compreender melhor o princípio da rejeição de imagem usado neste circuito, apresenta-se uma interpretação no domínio da frequência para um sinal de entrada real, assumindo que o espectro de RF que provém do LNA é composto pelo sinal desejado e pela sua imagem (figura 2).

A conversão é feita em dois passos, utilizando dois osciladores e dois grupos de misturadores. O primeiro passo consiste em misturar o sinal de entrada com dois osciladores locais, em fase (I) e quadratura (Q) respectivamente. Como resultado, no espectro em FI existe uma relação de fase entre a imagem e a banda de frequência desejada. Esta relação é bastante importante porque permite rejeitar a imagem na mistura seguinte. Os termos de ordem superior resultantes da primeira mistura são removidos por simples filtragem passa-baixo, como mostrado (figura 2). O passo seguinte converte a FI para banda-base, onde novamente os termos de ordem superior são removidos através de filtragem passa-baixo. Antes dessa filtragem, os quatro grupos banda-base resultantes são adicionados e subtraídos em pares para, simultaneamente, cancelar a imagem indesejada e, de forma construtiva, isolar a banda desejada em ambas as componentes I e Q.

Pequenas diferenças no ganho de cada uma das células e desvios de quadratura nos OL's limitam o nível de rejeição da imagem. Devido às não idealidades e à auto-mistura também pequenas componentes DC podem aparecer na saída. Atendendo a que os canais I e Q estão em banda base o processamento do sinal, com vista à remoção dessas componentes, pode ser feito no



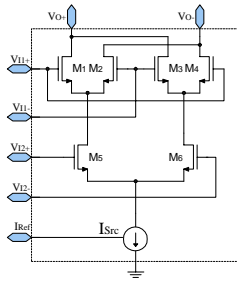
**Figura 2. Modelo no domínio da frequência**

<sup>1</sup> Áustria Micro Systems

processador digital de sinal (DSP) no andar seguinte.

Este misturador com rejeição de imagem apresenta grandes vantagens quando comparado com outras topologias. Devido à FI de banda larga todos os potenciais canais passam para o segundo andar, usando uma única frequência de mistura, o que significa que a selecção de canal é feita numa frequência baixa e que o primeiro oscilador local é fixo, por isso mais simples de obter com baixo ruído de fase. Outra vantagem é não necessitar de filtros selectivos passivos, de difícil concretização, que introduziriam perdas no sinal.

O misturador é constituído por seis células individuais CMOS, duplamente balanceadas, baseadas num



**Figura 3. Célula Multiplicadora com NMOS.**

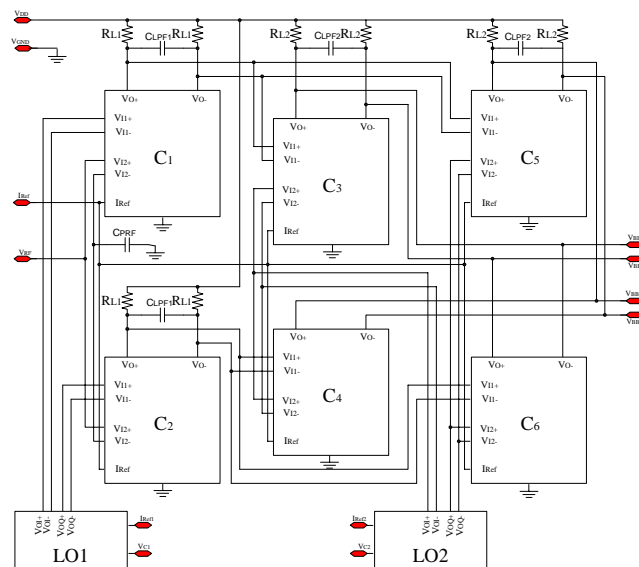
multiplicador variante da célula de Gilbert [2], figura 3. Cada um destes elementos multiplicadores possui ganho de conversão e tem entrada e saída diferencial. A célula elementar é constituída somente por dispositivos MOS de canal-n e cargas resistivas aplicadas na saída. As cargas são resistivas, em vez de activas, por duas razões: primeiro a frequência de operação de um andar de RF é mais limitada quando se utilizam dispositivos MOS de canal-p; a fraca transcondutância dos dispositivos activos p-MOS conduz a grandes áreas capacitivas que atenuam o sinal. Misturadores activos com cargas resistivas permitem operar com FI's mais elevadas. Em segundo lugar, pensando no circuito

misturador completo, a saída da primeira célula tem que simultaneamente se adaptar e ser fonte de polarização da entrada da célula seguinte, atendendo a que é usado acoplamento directo.

A fonte de corrente é controlada por um espelho de corrente que é o reflexo da entrada Iref. O par diferencial constituído pelos dispositivos M5 e M6, com largura de gate de 40µm, impõe a transcondutância de entrada. O conjunto M1, M2, M3 e M4 com gates de 20µm, funcionam como comutadores da célula multiplicadora.

O diagrama do circuito misturador completo é mostrado na figura 4. A configuração do misturador foi optimizada para o máximo ganho de conversão e rejeição de imagem mantendo a linearidade. Todas as células de Gilbert são alimentadas com uma fonte de 1,8V e o consumo é controlado, individualmente, pela fonte de corrente Iref. O circuito não necessita de bobinas.

O filtro passa-baixo utilizado para remover os termos de ordem superior resultantes da conversão na FI, é concretizado usando as cargas resistivas da célula e um condensador de

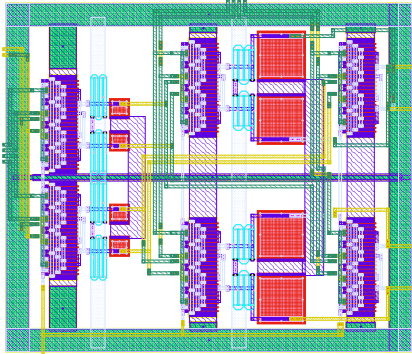


**Figura 4. Circuito Misturador.**

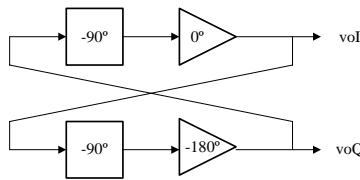
10fF. Como a saída é diferencial, essa capacidade é ligada entre os dois braços de saída da célula. O mesmo procedimento foi usado para filtrar os termos de ordem superior na saída de banda-base, mas usando uma capacidade superior (100fF) para obter a frequência de corte necessária.

Para implementar os somadores, as correntes de saída das células cinco e seis são adicionadas directamente para somar os sinais e as correntes da célula três são adicionadas com as correntes dos braços opostos da célula quatro para subtrair os sinais e obter o cancelamento da imagem.

A figura 5 mostra o *layout* do circuito misturador. A área activa é de  $120\mu\text{m} \times 140\mu\text{m}$ .



**Figura 5. Layout do Misturador.**



**Figura 6. Oscilador *phase-shift* com saídas em Fase (I) e Quadratura (Q).**

### III. OSCILADORES I-Q

Os dois osciladores utilizam uma estrutura *phase-shift* modificada para permitir obter saídas em fase e quadratura [4], como se mostra no circuito apresentado na figura 6. Contém duas células de atraso de  $90^\circ$  e dois amplificadores, um inversor e outro não-inversor.

A amplitude de oscilação é definida pela característica não-linear dos amplificadores. No arranque, o seu ganho deve ser tal que o ganho de retorno é superior a um, para ter uma oscilação com amplitude crescente. Esta amplitude crescente levará os amplificadores à compressão com a consequente redução do ganho. A amplitude de oscilação em regime estacionário é tal que o ganho de retorno é unitário.

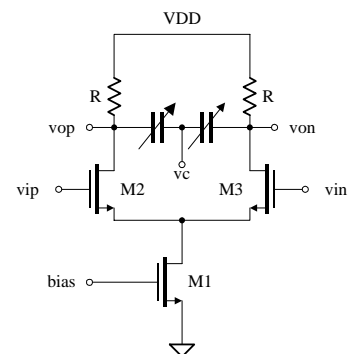
A frequência de oscilação é definida por duas redes de atraso de fase, que numa dada frequência, estão desfasadas de  $-90^\circ$ . O atraso total de  $180^\circ$ , combinado com os  $180^\circ$  do amplificador inversor, satisfaz a condição de  $0^\circ$  de fase do oscilador. Em DC, a fase do

*loop* deve ser de  $180^\circ$ , para evitar a saturação do amplificador.

Se os amplificadores possuírem um atraso de fase adicional, esta será compensada pelo atraso da malha para manter uma fase total de  $0^\circ$  em malha fechada. Atendendo à estrutura balanceada, este oscilador mantém a diferença de fase de  $90^\circ$  entre as saídas.

Os  $90^\circ$  do *phase-shift* são obtidos colocando duas células de atraso de  $45^\circ$  em cascata. Cada uma destas células é feita carregando o par diferencial com um RC paralelo, de acordo com o circuito apresentado na figura 7.

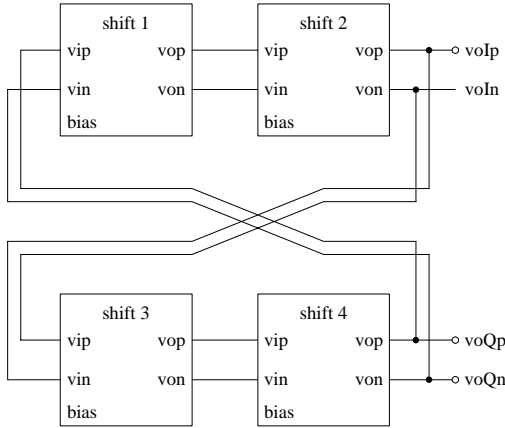
As capacidades variáveis das células *phase-shift* são implementadas com varicaps MOS. Para realizar esta função, são usados NMOS com as gates ligadas às saídas e drenos/sources ligados a uma tensão de controlo,  $v_c$ . Desta forma, obtém-se um VCO controlado por essa tensão. Aplicando uma tensão inferior a  $v_c - V_t$ , forma-se a camada de inversão no varicap MOS, obtendo-se uma capacidade máxima. Uma tensão mais elevada fará desaparecer a



**Figura 7. Célula activa com  $45^\circ$  de atraso de fase.**

camada de inversão fazendo diminuir a capacidade. Assim, a gama de sintonia é limitada a algumas centenas de milivolts com uma variação abrupta.

O circuito oscilador completo é apresentado na figura 8. Cada braço utiliza duas células desfazadoras. As duas saídas das células são também responsáveis pela amplificação invertida ou não-invertida. A inversão é obtida ligando o braço de entrada às saídas com sinal oposto, enquanto na não-inversão o braço de entrada é ligado às saídas com mesmo sinal. A polarização é feita com um espelho de corrente.



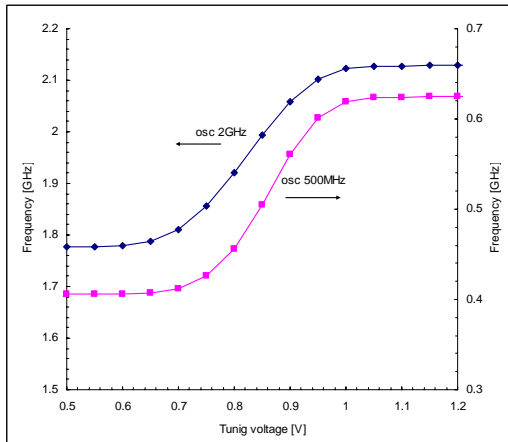
**Figura 8. Circuito oscilador *Phase-shift*.**

Os dispositivos MOS dos pares diferenciais de ambos os osciladores têm largura de gate de  $40\mu\text{m}$  e comprimento de  $0,35\mu\text{m}$ . O oscilador de 1,9GHz utiliza varicaps MOS de  $20\mu\text{m}$  e resistências de  $800\Omega$ , enquanto o oscilador de 500MHz utiliza varicaps MOS de  $80\mu\text{m}$  e resistências de  $2\text{k}\Omega$ . As curvas de sintonia, para ambos os osciladores, são apresentadas na figura 9.

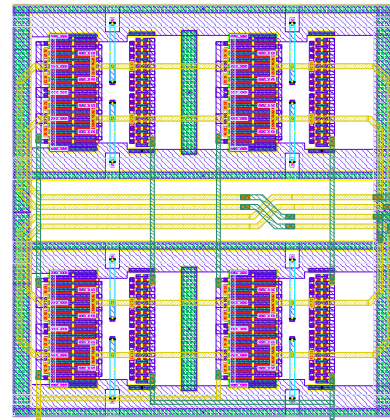
O VCO de 1,9GHz permite variar a frequência na gama de 1,77GHz a 2,12GHz, enquanto o de 500MHz vai de 400MHz a 630MHz com a mesma variação de tensão de sintonia. O desvio relativo de frequência é superior no

oscilador de menor frequência, devido à maior dimensão dos varicaps MOS usados.

O *layout* do circuito oscilador completo de 2GHz é apresentado na figura 10. As quatro saídas foram colocadas no lado esquerdo para facilitar a sua ligação ao circuito misturador. Os pinos de polarização e de tensão de sintonia são acessíveis na parte de baixo. Excluindo os diferentes valores das resistências e dimensões dos varicaps MOS, o oscilador de 500MHz tem um *layout* semelhante. A área activa ocupada por ambos os osciladores é de  $80\mu\text{m} \times 85\mu\text{m}$ .



**Figura 9. Curvas de sintonia dos osciladores.**



**Figura 10. *Layout* do oscilador de 2GHz.**

## IV. SIMULAÇÕES

As simulações dos circuitos mostram resultados prometedores no que respeita à rejeição de imagem (IM), ganho de conversão ( $G_c$ ) e consumo de potência ( $P_{DD}$ ). O circuito foi simulado em várias condições de funcionamento. Os resultados foram obtidos com uma fonte de alimentação de 1,8V,  $f_{RF}=2,4\text{GHz}$ , primeiro oscilador com  $f_{LO1}=1,9\text{GHz}$  e segundo oscilador  $f_{LO2}=500\text{MHz}$ . Com potência de entrada de RF de -13dBm o ganho de conversão e rejeição de imagem foram otimizados, ajustando a corrente de polarização  $I_{ref}$ . Para o valor de corrente óptimo o ganho de conversão é de 14dB e a rejeição de imagem é superior a 50dB.

## V. CONCLUSÕES

Esta comunicação apresenta um misturador *down-converter* com rejeição de imagem e osciladores integrados. O circuito total, misturador e osciladores, foi completamente integrado (figura 11) numa tecnologia normalizada CMOS de baixo custo e encontra-se presentemente em fase de testes. Ocupa uma área de silício de  $500\mu\text{m} \times 500\mu\text{m}$ , incluindo *bond-pads*, permitindo a integração futura de um *front-end* completo para comunicações sem fios. As simulações demonstram que, quando o circuito é alimentado a 1,8V e com um sinal de -13dBm na entrada de RF, o misturador tem um ganho de 14dB e 50dB de rejeição de imagem. Para  $f_{RF}=2,4\text{GHz}$ ,  $f_{LO1}=1,9\text{GHz}$  e  $f_{LO2}=500\text{MHz}$  a corrente DC total é de 10mA. Dados experimentais preliminares mostram uma rejeição de imagem superior a 35dB e confirmam o valor do ganho obtido na simulação.

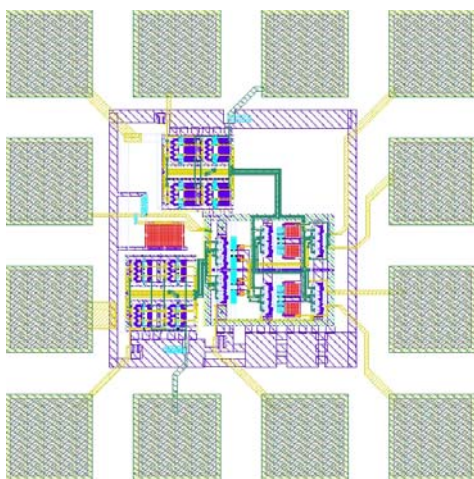


Figura 11. Layout do circuito completo.

## VI. REFERÊNCIAS

- [1] P. Sullivan *et al.*, "Low Voltage Performance of a Microwave CMOS Gilbert Cell Mixer," *IEEE Journal of Solid-State Circuits.*, vol. 32-7, pp. 1151-1155, July 1997.
- [2] Jacques C. Rudell, Thomas Byunghak Cho, George Chien, Francesco Brianti, Jeffrey A. Weldon, Paul R. Gray, "A 1.9-GHz Wide-Band IF Double Conversion CMOS receiver for cordless telephone applications", *IEEE J. Solid-State Circuits*, pp2071-2088, Dec.1997.
- [3] Fernando Azevedo, M. João Rosário, J. Costa Freire, "Understanding and Enhancing CMOS Monolithic Image Rejection Mixers", 2002 Asia-Pacific Microwave, APMC2002, Kyoto Japan, Vol.2, pp.2372- 2376, November 2002.
- [4] Barrie Gilbert, "A precise four quadrant multiplier with subnanosecond response," *IEEE J. Solid-State Circuits*, pp365-373, Dec.1968.
- [5] F. Fortes, F. Azevedo, M. J. Rosário, "I-Q Monolithic Design on Standard CMOS Technology", *ConfTele2003-4<sup>th</sup> Conference on Telecommunications*, 2003.