

# Amplificador Monolítico CMOS para Sinais a 1GHz, com Ganho Controlado Digitalmente

Fernando Azevedo<sup>1,2</sup>, Fernando Fortes<sup>1,2</sup>, M. João Rosário<sup>2,3</sup>

<sup>1</sup>Instituto Superior de Engenharia de Lisboa, Rua Conselheiro Emídio Navarro, 1049-014 Lisboa, Portugal

<sup>2</sup>Instituto de Telecomunicações, Av. Rovisco Pais, 1049-001 Lisboa, Portugal

<sup>3</sup>Instituto Superior Técnico, Av. Rovisco Pais, 1049-001 Lisboa, Portugal  
email: fazevedo@deetc.isel.ipl.pt ffortes@deetc.isel.ipl.pt mrosario@alfa.ist.utl.pt

## Resumo

*Esta comunicação descreve o projecto e simulação de um amplificador monolítico de ganho variável, que pode ser usado na banda ISM (Industrial, Scientific and Medical) dos 900MHz, cujo ganho é controlado directamente por um conjunto de quatro bits. O circuito, totalmente integrado, é implementado numa tecnologia CMOS normalizada de 0,35 $\mu$ m. As simulações foram obtidas usando o modelo BSIM3 e apresentam um ganho a variar entre um mínimo de -36dB e um máximo de 28dB a 1GHz e com uma tensão de alimentação de 3V. O consumo total máximo é inferior a 5mW.*

**Palavras Chave** - CMOS RFIC, amplificador de RF, comunicações sem fios, *front-end*.

## I. INTRODUÇÃO

As comunicações sem fios suportam-se em tecnologias que têm vindo a evoluir de uma forma sem precedentes. Com a pressão do mercado dando ênfase à necessidade premente de implementação de circuitos electrónicos cada vez mais complexos, atendendo ao aumento de funcionalidades exigidas, mais leves, de menor custo e consumo reduzido, aumenta a necessidade de pesquisa de soluções inovadoras que permitam uma maior integração dos circuitos electrónicos.

Na cadeia de um *front-end* para RF, quer na emissão quer na recepção, é necessário adaptar o nível do sinal, por forma a evitar desperdício de potência na emissão ou saturação do sinal na recepção, quando existe um sinal forte na antena. Esta adaptação, normalmente controlada automaticamente, deve ser rápida, minimizando assim distúrbios na frequência (*frequency splatter*)[1] e optimizando rapidamente as condições de emissão ou recepção no transceptor. Atendendo à necessidade crescente do nível de integração e eliminação dos componentes discretos em RF, torna-se imperativo que este controlo de ganho seja integrado em conjunto com os restantes blocos do *front-end*, por forma a atingir o objectivo da integração total.

Esta comunicação descreve o projecto e simulação de um amplificador de sinal monolítico cujo ganho variável é controlado digitalmente por um conjunto de quatro bits. Embora tenha sido projectado para ser usado na banda ISM dos 900MHz, poderá ser facilmente adaptado a outras aplicações. O circuito é constituído por dois blocos de amplificação em cascata ( $C_1$  e  $C_2$ ), com entradas e saídas diferenciais, e um módulo DAC, sendo este último o responsável pelo controlo de ganho, conforme se mostra na figura 1. O módulo digital, com quatro bits de entrada, comanda o ganho do amplificador, actuando directamente na



estado do bit respectivo,

$$\begin{aligned} L_{\text{Ref}} &= L_3 = L_2 = L_1 = L_0 \\ W_3 &= 2^3 \cdot W_0 & W_2 &= 2^2 \cdot W_0 \\ W_1 &= 2^1 \cdot W_0 & W_0 &= 2^0 \cdot W_0 \end{aligned} \quad (2)$$

$$I_{Dn} = \frac{1}{2} K' \cdot \frac{W_n}{L_n} (V_{GS} - V_t)^2 \cdot \bar{B}_n \quad (3)$$

vem para a corrente total  $I_S$ , igual em ambos os espelhos de corrente,

$$I_S = \frac{I_{\text{Ref}}}{4} \cdot [2^3 \cdot \bar{B}_3 + 2^2 \cdot \bar{B}_2 + 2^1 \cdot \bar{B}_1 + 2^0 \cdot \bar{B}_0] \quad (4)$$

Esta corrente impõe a transcondutância dinâmica, como demonstra a equação (5), de ambos os dispositivos de cada um dos pares diferenciais, permitindo assim modificar o ganho dos mesmos de acordo com o peso da palavra binária  $B_3B_2B_1B_0$ . Como  $W_{0Y}=W_{0X}$ ,  $W_{1Y}=W_{1X}$ ,  $W_{2Y}=W_{2X}$ ,  $W_{3Y}=W_{3X}$  as correntes de polarização fornecidas pelos dois espelhos são iguais mas, devido a terem largura de gate superior, a transcondutância dinâmica do par diferencial de entrada é superior ao de saída, como comprova a equação.

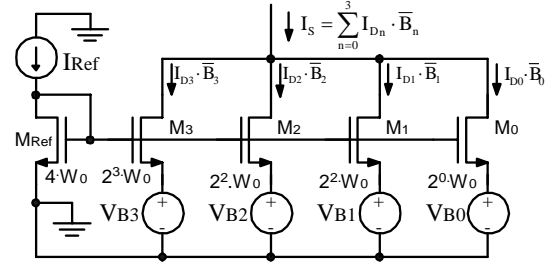
$$g_m = \sqrt{K' \cdot \frac{W}{L} \cdot \frac{I_{\text{Ref}}}{2} \cdot [2^3 \cdot \bar{B}_3 + 2^2 \cdot \bar{B}_2 + 2^1 \cdot \bar{B}_1 + 2^0 \cdot \bar{B}_0]} \quad (5)$$

As larguras de gate dos dispositivos de ambos os pares diferenciais, assim como a largura dos dispositivos tomados como referência para o controlo da corrente de polarização dos mesmos pares, foram optimizadas para um ganho elevado, mas sem comprometer a banda de frequência de operação. Assim,  $W_{X2}=W_{X1}=80\mu\text{m}$  para o par de entrada,  $W_{Y2}=W_{Y1}=20\mu\text{m}$  para o par de saída e  $W_{0Y}=W_{0X}=5\mu\text{m}$  para o par referência.

Todo o circuito é constituído somente por dispositivos MOS de canal-n e cargas resistivas aplicadas na saída dos pares diferenciais. As cargas são resistivas, em vez de activas, por duas razões: a utilização de dispositivos activos p-MOS conduz a grandes áreas capacitivas que atenuam o sinal. Circuitos activos com cargas resistivas permitem operar com frequências mais elevadas; em segundo lugar, a saída do primeiro par tem que simultaneamente adaptar-se e ser fonte de polarização da entrada do par seguinte, atendendo a que é usado acoplamento directo.

O circuito apresentado não necessita de qualquer indutância e não existe necessidade de qualquer sintonia, a não ser que seja usado antes do LNA, junto à antena, sendo necessário nesse caso fazer a devida adaptação à entrada.

A entrada do amplificador foi propositadamente transformada em não-diferencial para que este possa ser testado experimentalmente com um gerador de RF convencional. A passagem de quatro para um número superior de bits, por forma a aumentar a resolução do DAC, não apresenta grande dificuldade, exigindo no entanto alguma atenção na atribuição das dimensões dos MOS, por forma a garantir as relações referidas em (2) e o compromisso entre capacidade parasita dos dispositivos e transcondutância dinâmica dos mesmos.



**Figura 3. Funcionamento do espelho de corrente.**

O *layout*, apresentado na figura 7, foi cuidadosamente desenhado por forma a evitar assimetrias e grandes áreas capacitivas, pelas razões apontadas atrás.

## IV. SIMULAÇÕES

As simulações do circuito mostram resultados prometedores no que respeita ao controlo do ganho e consumo de potência ( $P_{DD}$ ). O circuito foi simulado em várias condições de funcionamento sendo que os resultados apresentados foram obtidos com uma fonte de alimentação de 3V e uma frequência  $f_{RF}=1\text{GHz}$ . Com tensão de entrada de RF de -40dBV o ganho foi otimizado, ajustando a corrente de polarização  $I_{ref}$ . Alcançados os valores óptimos, os resultados simulados são os apresentados nas figuras 4, 5 e 6 e tabela I.

A figura 4 apresenta a curva de ganho de tensão e consumo de corrente total do circuito em função do nível da palavra digital, negada, de quatro bits. Verifica-se que a variação do ganho se situa entre -36dB e +28dB e que o consumo de corrente varia entre 200 $\mu\text{A}$  e 1,7mA.

Relativamente à curva de ganho, esta apresenta uma evolução não linear, devido à representação em escala logarítmica. Quanto à curva de consumo de corrente total, verifica-se uma boa linearidade comprovando que o DAC apresenta incrementos iguais em toda a gama binária.

A figura 5 apresenta curvas de tensão de sinal de saída em função da amplitude do sinal de entrada para duas situações distintas da palavra binária de controlo: W=0000 (ganho máximo) e W=1111 (ganho mínimo). Desta figura obtém-se o ponto de compressão a 1dB na entrada que é de -17dBV quando o ganho é máximo. Pode verificar-se que, antes de iniciar a compressão, o amplificador apresenta uma boa linearidade nas duas situações.

A figura 6 apresenta curvas de ganho de tensão em função de frequência na banda [500;1500]MHz, para as mesmas situações da palavra binária de controlo registadas na figura anterior. Verifica-se que o ganho diminui ligeiramente com a frequência na situação em que é máximo (W=0000) e aumenta quando é mínimo (W=1111). Isto acontece devido ao compromisso entre a capacidade parasita dos dispositivos e a transcondutância dinâmica dos mesmos, pois os dois evoluem de forma oposta.

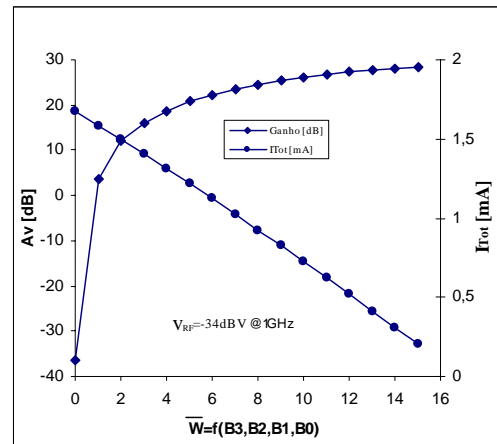


Figura 4. Ganho de tensão e consumo de corrente total.

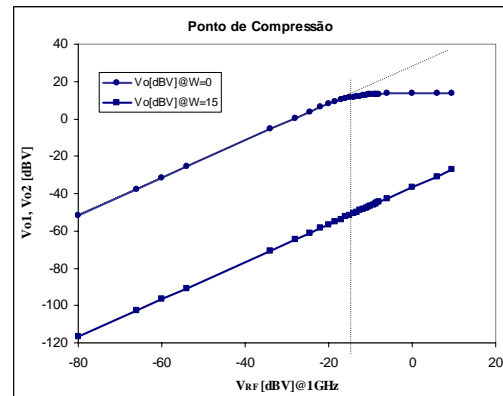


Figura 5. Ponto de compressão.

A simulação com uma corrente  $I_{\text{Ref}}=200\mu\text{A}$  impõe  $I_{\text{SY}}=I_{\text{SX}}=740\mu\text{A}$ , que está de acordo com a equação 4 na condição de todos os bits activos, vindo para a corrente total 1,68mA.

## V. CONCLUSÕES

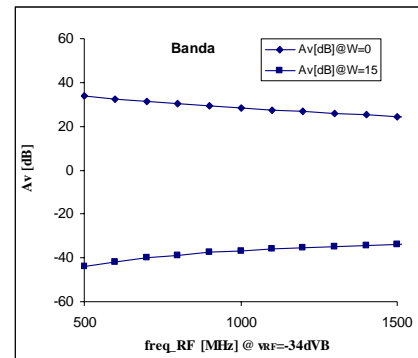
Esta comunicação apresenta um amplificador monolítico cujo ganho é controlado digitalmente por um conjunto de quatro bits. O circuito total, amplificador e controlo digital, é completamente integrado (figura 7) numa tecnologia normalizada CMOS de baixo custo e encontra-se presentemente em fase de fabrico. Ocupa uma área de silício de  $500\mu\text{m}\times 500\mu\text{m}$ , incluindo *bond-pads*, permitindo a integração futura de um *front-end* completo para comunicações sem fios. As simulações demonstram que quando o circuito é alimentado a 3V e com um sinal de 1GHz o amplificador tem um ganho mínimo de -36dB e máximo de 28dB. Na situação de ganho máximo, a corrente DC total é de 1,67mA.

**Tabela I – Características do amplificador**

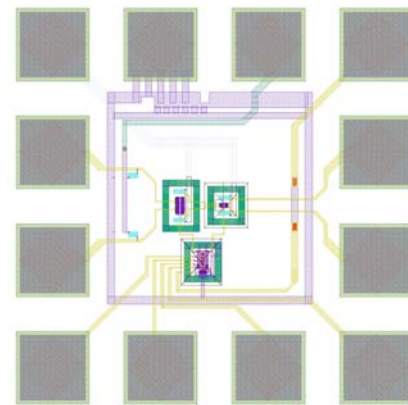
<i>Tecnologia de Silício:</i>	CMOS 0,35 $\mu\text{m}$ (AMS)
<i>Área útil do circuito:</i>	0,015mm <sup>2</sup>
<i>Área total (incluindo pads):</i>	0,25mm <sup>2</sup>
<i>Tensão de alimentação:</i>	3V
<i>Corrente total máxima:</i>	1,7mA
<i>Frequência de RF:</i>	1000MHz
<i>Ganho máximo @1GHz:</i>	28dB
<i>Ganho mínimo @1GHz:</i>	-36dB
<i>Níveis de controlo</i>	16
<i>Ponto de comp. a 1dB na entrada:</i>	-17dBV

## VI. REFERÊNCIAS

- [1] A. Rofougaran *et al.*, "A Single-Chip 900MHz Spread-Spectrum Wireless Transceiver in 1 $\mu\text{m}$  CMOS," *IEEE Journal of Solid-State Circuits.*, vol. 33-4, pp. 515-534, April 1998.
- [2] AMS–Austria Mikro Systems International AG, "0.6 $\mu\text{m}$  CMOS Design Rules", 1997.



**Figura 6. Ganho de tensão em função da frequência.**



**Figura 7. Layout do circuito.**