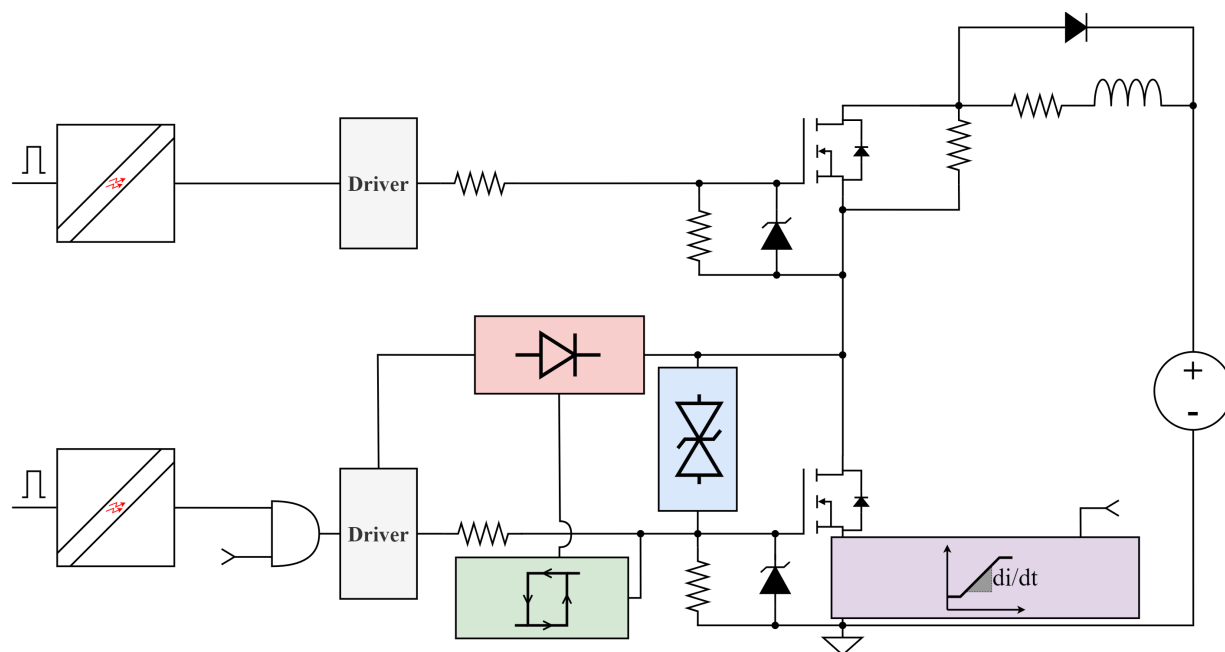


Instituto Superior de Engenharia de Lisboa

Área Departamental de Engenharia Electrotécnica de Energia e Automação



Estudo das Proteções de Sobrecorrente e Sobretensão em Semicondutores de Potência Totalmente Comandados

MIGUEL LOUREIRO FIGUEIRINHAS

(Licenciado)

Trabalho Final de Mestrado para Obtenção do Grau de Mestre
em Engenharia Eletrotécnica - Ramo Automação e Eletrónica Industrial

Orientador(es):

Doutor Luís Manuel dos Santos Redondo
Doutor Hiren Canacsinh

Júri:

Presidente:

Doutor João Hermínio Ninitas Lagarto

Vogais:

Doutor Miguel Cabral Ferreira Chaves
Doutor Hiren Canacsinh

Fevereiro, 2023

à minha mãe

Isabel da Conceição Ferreira Loureiro Figueirinhas, in memoriam

Resumo

No presente trabalho realizou-se o estudo de um circuito de proteção, de sobrecorrente e sobretensão, para dois tipos de semicondutores de potência totalmente comandados, o MOSFET e o IGBT.

Este trabalho inicia-se apresentando o MOSFET e IGBT como dispositivos semicondutores de potência amplamente disseminados na indústria. Em seguida são estudadas as técnicas apresentadas na literatura, para proteção de sobrecorrente e sobretensão, tendo-se definido igualmente as utilizadas neste trabalho. Após, com recurso ao *software LTspice* realizou-se um estudo preliminar do circuito em questão, para posterior dimensionamento de uma placa PCB. Por último realizou-se a obtenção de resultados experimentais, e posterior comparação com os obtidos via *software*. Os resultados experimentais, obtidos via *LTspice* e em ambiente laboratorial, tiveram como principal foco o dispositivo MOSFET.

Palavras-chave: MOSFET; IGBT; Proteção Ativa de sobrecorrente; Proteção de sobretensão.

Abstract

In this work a study was conducted regarding a protection circuit against overcurrent and overvoltage conditions, of two types of power semiconductors, the MOSFET and the IGBT.

The first step in this work pertains to the theoretical study the MOSFET and IGBT as two widely available power semiconductor devices. After, protection schemes for overcurrent and overvoltage, available in the literature, are exploited and analyzed in this work, having the ones subject to practical tests also been described. Upon this first step, and by using the capabilities of the software *LTspice*, preliminary research regarding the circuit subject to study was made, for subsequent construction of a PCB board. Finally, experimental data was gathered and compared against the one acquired via software. The experimental results, obtained via *LTspice* and in practical tests, delved primarily on the MOSFET power semiconductor.

Key-words: MOSFET; IGBT; Active overcurrent circuit protection; Overvoltage circuit protection

Agradecimentos

Neste ponto pretendo expressar a minha gratidão a um conjunto de pessoas que me auxiliaram e guiaram neste percurso árduo, e intrinsecamente desafiante.

Ao Professor Luís Manuel dos Santos Redondo e ao Professor Hiren Canacsinh, pela orientação, apoio e incentivo demonstrados na realização deste trabalho.

Ao Professor Armando Cordeiro, pela disponibilidade, generosidade e partilha de conhecimento durante os três anos em que desempenhei as funções de Monitor na Secção de Automação e Robótica, no Departamento de Engenharia Electrotécnica de Energia e Automação.

A todos os professores que ao longo do meu percurso académico contribuíram para o acréscimo dos meus conhecimentos, expresso aqui o meu eterno agradecimento.

Ao meu Pai, Engenheiro António Manuel Vera Figueirinhas, pela dedicação e contributo imensurável para a minha educação.

À minha Mãe, Isabel da Conceição Ferreira Loureiro Figueirinhas, *in memoriam*, pela ternura e amor inextinguível.

Aos meus avós maternos e paternos.

Aos meus Tios.

Aos meus colegas e amigos.

Lista de Abreviaturas e Terminologia

CEP	Conversores Eletrônicos de Potência
DUT	Device Under Test
ERC	Eletrônica de Regulação e Comando
FET	Transistor de efeito de campo (“Field Effect Transistor”)
FPP	Fundamentos de Potência Pulsada
FUL	Fault Under Load
GaN	Nitreto de Gálio (“Gallium Nitride”)
GIAAPP	Grupo de Investigação em Aplicações Avançadas de Potência Pulsada
GTO	Tiristor do tipo GTO (“Gate Turn-off Thyristor”)
HSF	Hard Switch Fault
HVDC	Corrente contínua de alta tensão (“High Voltage Direct Current”)
IGBT	Transistor Bipolar de Porta Isolada (“Isolated Gate Bipolar Transistor”)
MCT	Tiristor de porta isolada do tipo MOS “MOS Controlled Thyristor”
MOS	Metal Oxide Semiconductor
MOSFET	Transistor de Efeito de Campo de Porta Isolada (“Metal Oxide Field Effect Transistor”)
NPT	Non Punch Through (IGBT do tipo simétrico)
PT	Punch Through (IGBT do tipo assimétrico)
SCWT	Short-Circuit Withstand Time
Si	Silício (“Silicon”)
SiC	Carboneto de Silício (“Silicon Carbide”)
SOA	Safe Operating Area

TBJ	Transistor Bipolar de Junção (“Bipolar Junction Transistor”)
TVS	Supressor de Tensão no Transitório (“Transient Voltage Suppressor”)

Lista de símbolos mais frequentes

ω	Frequência angular de ressonância (rad/s)
τ	Constante de tempo
A_d	Ganho diferencial/cadeia aberta do amplificador operacional
C_{ce}	Capacidade parasita coletor-emissor (F)
C_{ds}	Capacidade parasita dreno-fonte (F)
C_{gc}	Capacidade parasita porta-coletor (F)
C_{gd}	Capacidade parasita porta-dreno (F)
C_{ge}	Capacidade parasita porta-emissor (F)
C_{gs}	Capacidade parasita porta-fonte (F)
C_{iss}	Capacidade parasita equivalente de entrada (F)
C_{oss}	Capacidade parasita equivalente de saída (F)
C_{rss}	Capacidade parasita equivalente de transferência inversa (F)
C_p	Capacidade parasita de entrada (F)
f_c	Frequência de corte (Hz)
f_u	Frequência de ganho unitário (Hz)
i_{GC}	Corrente porta-coletor (A)
i_c	Corrente terminal coletor (A)
i_d	Corrente terminal dreno (A)
L_p	Indutância parasita de entrada (H)
R_{DSon}	Resistência equivalente à condução do MOSFET (Ω)
R_G	Resistência de porta (Ω)
S_L	Semi-largura da histerese (V)

t_{BLK}	Tempo em que a proteção está “cega” (“blanking time”) (s)
V^-	Tensão de entrada inversora do amplificador operacional (V)
V^+	Tensão de entrada não inversora do amplificador operacional (V)
V_{BLK}	Tensão de “blanking time” (V)
$V_{CE_{on}}$	Tensão coletor-emissor à condução (V)
$V_{CE_{sat}}$	Tensão coletor-emissor de saturação (V)
V_{CE} / v_{CE}	Tensão coletor-emissor (V)
$V_{DS_{on}}$	Tensão dreno-fonte à condução (V)
V_{DS} / v_{DS}	Tensão dreno-fonte (V)
V_{DSS}	Valor máximo permissível aos terminais dreno-fonte/coletor-emissor (V)
$V_{GE_{th}}$	Tensão porta-emissor limiar (“threshold”) (V)
V_{GE} / v_{GE}	Tensão porta-emissor (V)
$V_{GS_{th}}$	Tensão porta-fonte limiar (“threshold”) (V)
V_{GS} / v_{GS}	Tensão porta-fonte (V)
V_{REF}	Tensão de referência (V)
V_{thH}	Limite superior da histerese (V)
V_{thL}	Limite inferior da histerese (V)
V_d	Tensão diferencial de entrada do amplificador operacional (V)
V_i	Tensão de entrada (V)
V_O	Tensão saída amplificador operacional (V)
Z_d	Impedância de entrada diferencial do amplificador operacional (Ω)
Z_O	Impedância de saída do amplificador operacional (Ω)

Índice

Resumo	iii
Abstract	v
Agradecimentos	vii
Lista de Abreviaturas e Terminologia	ix
Lista de símbolos mais frequentes	xi
Lista de Tabelas	xvii
Lista de Figuras	xix
1 Introdução	1
1.1 Motivação	1
1.2 Objetivos	2
1.3 Estrutura Documento	2
2 Semicondutores de Potência Totalmente Comandados	5
2.1 Introdução	6
2.2 Transistor Efeito de Campo de Porta Isolada	7
2.2.1 Estruturas MOS	7
2.2.2 Curva Característica	8
2.2.3 Características Dinâmicas	10
2.2.4 Características de Comutação	12

2.3	Transistor Bipolar de Porta Isolada	14
2.3.1	Estruturas IGBT	15
2.3.2	Curva Característica	17
2.3.3	Características Dinâmicas	18
2.3.4	Características de Comutação	20
2.4	Descrição Efeito de <i>Miller</i>	22
2.5	Transistor Baseado em Carboneto de Silício	23
2.5.1	Transistor Bipolar de Porta Isolada Baseado em Carboneto de Silício	23
2.5.2	Transistor de Efeito de Campo de Porta Isolada Baseado em Carboneto de Silício	23
2.6	Abordagens para Proteção de Transistores	24
2.6.1	Considerações Gerais Falhas	24
2.6.2	Classificação Tipos Curto-Circuito	25
2.6.3	Mecanismos de Falha	26
2.6.4	Circuitos Proteção Terminal Porta	27
2.6.4.1	Circuito Tampão da Porta Ativo	27
2.6.4.2	Resistência em Série com Porta	28
2.6.5	Características de um Circuito de Proteção	29
2.6.6	Análise de Mecanismos de Detecção de Falhas e Proteção dos Dispositivos Semicondutores de Potência Baseados no Circuito de Comando de Porta	29
2.6.6.1	Abordagem Baseada em Resistência	30
2.6.6.2	Abordagem V_{CE} ou V_{DS}	31
2.6.6.3	Abordagem i_C ou i_D	32
2.6.6.4	Abordagem di_C/dt ou di_D/dt	32
2.6.7	Princípios de Proteção de Sobretensão	33
2.6.7.1	Corte Suave por Malha Única	33
2.6.7.2	Corte Suave por Malha Dupla	34
2.6.7.3	Circuito Tampão	35

2.6.7.4	Circuito RCD Snubber	35
2.6.7.5	Circuito RCD Voltage Clamp	36
2.6.7.6	Proteção por Método Resistivo	36
2.6.7.7	Proteção por Método Capacitivo	36
2.6.8	Princípios de Proteção de Sobrecorrente	37
2.6.8.1	Métodos de Controlo Ativo da Porta	37
2.6.8.2	Circuito Ativo de Proteção de Sobrecorrente	38
2.6.8.3	Circuito Ativo de Proteção de Sobrecorrente Baseado em Múltiplas Tensões de Porta	39
2.7	Proteção de Curto-Circuito - SiC Vs Si	40
2.8	Amplificadores Operacionais	42
2.8.1	Conceitos Fundamentais sobre Amplificadores Operacionais	42
2.8.2	Circuito Comparador com Histerese Não Inversor	43
3	Topologia do Circuito Alvo de Estudo	47
3.1	Introdução	48
3.2	Princípio de Funcionamento Circuito de Proteção	48
3.2.1	Circuito de Potência	49
3.2.2	Circuito Ativo de Proteção de Sobrecorrente	49
3.2.3	Circuito Detecção de Sobrecorrente Baseado na Abordagem di/dt	54
3.2.4	Circuito <i>Blanking Time</i>	55
3.2.5	Circuito de Proteção de Sobretensão	58
3.2.6	Funcionamento Circuito de Potência com Proteção de Sobrecorrente	59
4	Simulação e Resultados de Simulação	65
4.1	Introdução	66
4.2	Análise de Resultados Experimentais Simulados via <i>LTspice</i>	66
4.2.1	Estudo Curva Característica	66
4.2.2	Definição Histerese Circuito Comparador	68

4.2.3	Circuito de Proteção de Sobretensão	70
4.2.4	Circuito Ativo de Proteção de Sobrecorrente	73
4.2.5	Circuito Proteção de Sobrecorrente Baseado na Abordagem di/dt	79
5	Análise de Resultados Experimentais Laboratoriais e Discussão	85
5.1	Circuito de Proteção de Sobretensão	86
5.2	Circuito de Proteção de Sobrecorrente	88
5.2.1	Estudo Falha do Tipo <i>Fault Under Load</i>	89
5.2.2	Estudo Falha do Tipo <i>Hard Switch Fault</i>	93
6	Conclusão e Trabalho Futuro	99
6.1	Conclusões	99
6.2	Trabalho Futuro	100
	Bibliografia	103
	Anexo A Circuitos Simulados em Software <i>LTspice</i>	107

Lista de Tabelas

3.1	Tabela de Funcionamento da <i>latch</i> D com habilitação	53
5.1	Tabela Síntese do Tempo de Atuação do Circuito de Proteção para a Falha do Tipo <i>Fault Under Load</i>	92
5.2	Tabela Síntese do Tempo de Atuação do Circuito de Proteção para a Falha do Tipo <i>Hard Switch Fault</i>	97

Lista de Figuras

2.1	Representação Qualitativa Gamas de Funcionamento em Tensão, Corrente e Frequência de Semicondutores de Potência mais Significativos (Adaptado de [4] e [5])	6
2.2	Representação Qualitativa Estruturas MOS	8
2.3	Curvas Características MOSFET tipo N	9
2.4	Representação Qualitativa Circuito Equivalente MOSFET Tipo N (Adaptado de [7])	10
2.5	Mitigação Condução TBJ Parasita (Adaptado de [4])	11
2.6	Representação Qualitativa Simplificada do Circuito Equivalente de um MOSFET à Condução, na Zona de Resistência Constante, com as respectivas Capacidades Dinâmicas	11
2.7	Períodos de Comutação MOSFET (Adaptado de [7])	14
2.8	Representação Qualitativa Estrutura IGBT	15
2.9	Topologias Estruturais IGBT (Adaptado de [7])	16
2.10	Curvas Características IGBT tipo N	17
2.11	Representação Qualitativa Circuito Equivalente IGBT Simétrico tipo N (Adaptado de [7])	18
2.12	Período Comutação ao Corte IGBT (Adaptado de [7])	21
2.13	Representação Qualitativa da Variação da Corrente de Curto-Circuito e Tempo de Suporte do Mesmo em Função da Tensão do Terminal da Porta (Adaptado de [16])	26
2.14	Implementação Prática de um Circuito Tampão da Porta Ativo (Adaptado de [8])	28

2.15	Representação Qualitativa de Abordagens Elementares de Detecção e Proteção Baseados no Circuito de Comando da Porta (Adaptado de [17])	30
2.16	Representação Qualitativa Corte Suave de Malha Única (Adaptado de [17])	33
2.17	Representação Qualitativa Corte Suave de Malha Dupla (Adaptado de [17])	34
2.18	Representação Qualitativa Efeito Circuito Tampão (Adaptado de [15]) . . .	35
2.19	Circuito RCD Snubber de Carga/Descarga (Adaptado de [18])	36
2.20	Circuito RCD Voltage Clamp (Adaptado de [18])	36
2.21	Representação Qualitativa Evolução Corrente Coletor e Tensão GE na Comutação à Condução (Adaptado de [17])	37
2.22	Circuito Ativo de Proteção de Sobrecorrente (Adaptado de [6])	38
2.23	Circuito Ativo de Proteção de Sobrecorrente com <i>blanking time</i> (Adaptado de [6])	39
2.24	Circuito Alternativo de Proteção de Sobrecorrente (Adaptado de [9]) . . .	40
2.25	Amplificador Operacional (Adaptado de [25])	42
2.26	Representação Qualitativa do Ganho Diferencial em Função da Frequência num Amplificador Operacional Real (Adaptado de [25])	43
2.27	Amplificador Operacional com Realimentação Positiva (Adaptado de [25])	44
2.28	Representação Qualitativa Característica de Transferência Entrada-Saída do Comparador Não Inversor com Ajuste do Centro da Histerese (Adaptado de [25])	46
2.29	Evoluções Temporais Qualitativas de Funcionamento do Comparador Não-Inversor (Adaptado de [25])	46
3.1	Representação Esquemática Circuito de Teste	48
3.2	Representação Esquemática Circuito Proteção Ativa de Sobrecorrente . . .	50
3.3	Curva Característica de Saída com $T_j = 25^\circ C$	50
3.4	Circuito Comparador Não Inversor com Ajuste do Centro da Histerese . . .	51
3.5	Característica de Transferência Entrada-Saída do Comparador Não Inversor com Ajuste do Centro da Histerese	51
3.6	Representação Esquemática Circuito Proteção de Sobrecorrente Baseado na Taxa de Variação de Corrente	55

3.7	Representação Esquemática Circuito de Detecção de Sobrecorrente por Malha RC de <i>Blanking Time</i>	56
3.8	Representação Esquemática Circuito de Detecção de Sobrecorrente por Circuito Alternativo de <i>Blanking Time</i>	57
3.9	Representação Qualitativa da Evolução Temporal das Tensões V_A, V_B, V_C e V_D	58
3.10	Representação Esquemática Circuito de Proteção de Sobretensão	59
3.11	Representação Qualitativa da Evolução Temporal das Tensões e Corrente do Circuito de Potência e Proteção	60
3.12	Representação Qualitativa da Evolução Temporal das Tensões e Corrente do Circuito de Potência e Proteção (Continuação)	61
4.1	Representação do Circuito para Obtenção Curva Característica Simulada	67
4.2	Comparação Curva Característica Simulada e Teórica	67
4.3	Representação Esquemática Circuito de Teste com Indicação dos Pontos de Medida Relevantes	68
4.4	Evolução Temporal Grandezas Tensão e Corrente para Definição Histerese	69
4.5	Evolução Temporal Grandezas Tensão e Corrente para Estudo do Circuito de Proteção de Sobretensão sem Díodo Roda Livre	71
4.6	Evolução Temporal Grandezas Tensão e Corrente para Estudo do Circuito de Proteção de Sobretensão com Díodo Roda Livre	72
4.7	Evolução Temporal Grandezas Tensão e Corrente para Estudo da Influência do <i>Blanking Time</i> no Circuito de Proteção de Sobrecorrente na ocorrência de FUL com $L_{DC} = 5\mu H$	74
4.8	Evolução Temporal Grandezas Tensão e Corrente para Estudo da Influência do <i>Blanking Time</i> no Circuito de Proteção de Sobrecorrente na ocorrência de FUL com $L_{DC} = 1\mu H$	75
4.9	Evolução Temporal Grandezas Tensão e Corrente para Estudo da Influência do <i>Blanking Time</i> no Circuito de Proteção de Sobrecorrente na ocorrência de HSF com $L_{DC} = 5\mu H$	77

4.10	Evolução Temporal Grandezas Tensão e Corrente para Estudo da Influência do <i>Blanking Time</i> no Circuito de Proteção de Sobrecorrente na ocorrência de HSF com $L_{DC} = 1\mu H$	78
4.11	Gráfico Representativo Histerese SN74LVC1G97 e SN74LVC2G17	79
4.12	Evolução Temporal Grandezas Tensão e Corrente sem a Influência do Circuito de Proteção Baseado em di/dt e com Malha RC de <i>Blanking Time</i>	81
4.13	Evolução Temporal Grandezas Tensão e Corrente com a Influência do Circuito de Proteção Baseado em di/dt e com Malha RC de <i>Blanking Time</i>	82
4.14	Evolução Temporal Grandezas Tensão e Corrente sem a Influência do Circuito de Proteção Baseado em di/dt e com Circuito Alternativo de <i>Blanking Time</i>	83
4.15	Evolução Temporal Grandezas Tensão e Corrente com a Influência do Circuito de Proteção Baseado em di/dt e com Circuito Alternativo de <i>Blanking Time</i>	84
5.1	Evoluções Temporais Tensão para Estudo do Circuito de Proteção de Sobretensão com R_{TVS} em Circuito Aberto	87
5.2	Evoluções Temporais Tensão para Estudo do Circuito de Proteção de Sobretensão com R_{TVS} em Curto-Circuito	87
5.3	Evoluções Temporais Tensão para Estudo do Circuito de Proteção de Sobretensão com $R_{TVS} = 200\Omega$	88
5.4	Evoluções Temporais Tensão para Estudo do Circuito de Proteção de Sobretensão com $R_{TVS} = 50\Omega$	88
5.5	Evoluções Temporais para Estudo da Falha do Tipo FUL com Malha RC sem Atuação da Proteção	90
5.6	Evoluções Temporais para Estudo da Falha do Tipo FUL com Malha RC e Atuação da Proteção	91
5.7	Evoluções Temporais para Estudo da Falha do Tipo FUL com Circuito Alternativo e Atuação da Proteção	92
5.8	Evoluções Temporais Tensões Circuito Alternativo de <i>Blanking Time</i>	94
5.9	Evoluções Temporais para Estudo da Falha do Tipo HSF com Malha RC sem Atuação da Proteção	95

5.10 Evoluções Temporais para Estudo da Falha do Tipo HSF com Malha RC e Atuação da Proteção 96

5.11 Evoluções Temporais para Estudo da Falha do Tipo HSF com Circuito Alternativo e Atuação da Proteção 97

A.1 Representação do Circuito de Proteção de Sobretensão em *LTspice* 107

A.2 Representação Parte Integrante do Circuito de Proteção por di/dt em *LTspice* 107

A.3 Representação do Circuito de Potência Implementado em *LTspice* e Circuito de Proteção por di/dt 108

A.4 Representação do Circuito de Proteção Ativa de Sobrecorrente em *LTspice* 109

A.5 Representação do Circuito Alternativo de *Blanking Time* em *LTspice* . . . 110

Capítulo 1

Introdução

Desde os primórdios do século XX, que as proteções dos sistemas elétricos são alvo de estudo.

Já nesta altura havia-se determinado que a melhor solução para a proteção do circuito passa pela remoção, o mais rápido possível, das condições de falha, mesmo em detrimento do dispositivo que efetua a referida proteção, uma vez que, o objetivo principal da proteção, dos sistemas elétricos, passa por limitar a quantidade de energia que pode existir na falha, por forma a manter uma fiabilidade do sistema elevada.[1]

Presentemente, os semicondutores, utilizados em Conversores Eletrónicos de Potência (CEP), em aplicações, como por exemplo, de geração de energia solar fotovoltaica e eólica, apresentam-se como elementos de importância crítica na composição dos mesmos. No entanto, cerca de 21% das falhas destes sistema advêm da disrupção do normal funcionamento dos semicondutores de potência. [2] Deste modo, garantir metodologias de implementação prática e exequível, para proteção dos interruptores de estado sólido dos CEP, permitirá não só um aumento na fiabilidade do sistema, como também reduzir custos associados a manutenção e substituição de componentes.

1.1 Motivação

A presente dissertação encontra-se inserida na área de I&D associada às unidades curriculares de Eletrónica de Regulação e Comando (ERC) e de Fundamentos de Potência Pulsada (FPP) lecionadas no Mestrado de Engenharia Eletrotécnica - Ramo de Automação e Eletrónica Industrial do Instituto Superior de Engenharia de Lisboa. Como motivação principal deste trabalho está a aquisição de conhecimentos e competências, aprofundados, na área disciplinar de Eletrónica de Potência.

1.2 Objetivos

Os objetivos do presente trabalho são caracterizados por, essencialmente, três partes. Em primeiro lugar, está o estudo analítico dos diferentes circuitos de proteção, presentes na literatura, para realização da proteção de sobrecorrente e sobretensão em semicondutores de potência do tipo MOSFET SiC e IGBT Si; A este estudo fundamentalmente teórico segue-se o dimensionamento e simulação de uma topologia de circuito para proteção de sobretensão e sobrecorrente, tendo-se, para o efeito, implementado o circuito estudado em simulação com recurso ao *software* Ltspice, com a posterior conceção de uma placa de circuito impresso (PCB) para prova de conceito do circuito estudado. Por fim, e como última parte, tem-se a implementação em ambiente laboratorial, para corroboração do estudo teórico realizado.

1.3 Estrutura Documento

Este documento divide-se em seis capítulos. Com exceção do presente capítulo, sumariza-se em seguida o conteúdo abordado nos capítulos subsequentes:

Capítulo 2: Apresenta-se os tipos de semicondutores totalmente comandados alvos de estudo no presente trabalho, sendo descritos quanto à sua estrutura intrínseca, e composição. São abordadas topologias de proteção, de sobrecorrentes e sobretensões, destes dispositivos, presentes na literatura, analisadas quanto às respetivas características, modo de funcionamento e desempenho. É apresentado um estudo comparativo dos dois tipos de materiais semicondutores mais predominantes na indústria, que servem de base para a produção dos dispositivos semicondutores totalmente comandados apresentados. O princípio de funcionamento do amplificador operacional, e a sua operação como comparador, é descrito e analisado.

Capítulo 3: É realizado o estudo teórico, da topologia em meia-ponte, proposta neste trabalho para estudo do circuito de proteção de sobretensão e sobrecorrente. As respetivas partes constituintes são descritas em detalhe, bem como a metodologia de simulação das condições de falha.

Capítulo 4: É apresentada a metodologia para obtenção de resultados experimentais simulados, bem como o processo de dimensionamento dos diferentes circuitos de proteção alvos de estudo.

Capítulo 5: O protocolo de ensaios experimentais laboratoriais é apresentado. Em adição são expostos as adaptações necessárias realizar em ambiente de simulação, para adaptação

das condições laboratoriais. Discutem-se os resultados obtidos, nomeadamente em relação à eficácia das topologias estudadas em realizar a proteção de forma não prejudicial ao dispositivo semiconductor.

Capítulo 6: São retiradas conclusões sobre o trabalho realizado e apresentados tópicos de trabalho futuro.

Em adição aos seis capítulos supramencionados, fazem ainda parte integrante desta tese: o índice de capítulos, abreviaturas, simbologia de uso mais frequente, bibliografia e anexos, onde constam:

- No anexo A: As figuras dos circuitos implementados em software *LTspice*;

Capítulo 2

Semicondutores de Potência Totalmente Comandados

O presente capítulo em 2.1 realiza o enquadramento histórico do desenvolvimento da tecnologia dos semicondutores de potência, com especial ênfase no Transístor de Efeito de Campo de Porta Isolada (MOSFET) e no Transístor Bipolar de Porta Isolada (IGBT), ambos descritos em maior detalhe nas seções 2.2 e 2.3, respectivamente. Em 2.4 é abordado o fenómeno de efeito de *Miller*, intrínseco ao IGBT e MOSFET. Em 2.5 são apresentadas as características intrínsecas aos dispositivos baseados em Carboneto de Silício (SiC), comparando os mesmos com as respetivas contrapartes baseadas em Silício (Si). Em 2.6 são introduzidos os tipos de falhas mais comuns, bem como as topologias mais preponderantes para proteção dos dispositivos semicondutores contra condições anómalas de corrente e tensão. Em 2.7 é apresentado um estudo comparativo dos dois tipos de materiais semicondutores mais predominantes na indústria, e a sua influência na proteção contra condições de curto-circuito. Por fim em 2.8 é descrito o funcionamento do amplificador operacional como comparador.

2.1 Introdução

A década dos anos 50, do século XX, veio ditar o início da era dos interruptores baseados em semicondutores. Esta transição teve como gênese a criação do primeiro transistor de germânio, desenvolvido por *William Shockley*, *Walter Brattain* e *John Bardeen*, em dezembro de 1947, nos laboratórios da *BELL*, permitindo a reprodução do efeito retificador. Após, em 1962, nos laboratórios de investigação *RCA*, *Steven Hofstein* e *Frederic Heiman* desenvolveram uma nova família de transistores, unipolares: os MOSFET. O Transistor de efeito de campo (FET) possui, como principal vantagem, serem mais baratos, mais pequenos e possuírem um consumo energético inferior aos bipolares. [3]

Na figura 2.1 mostra-se um gráfico aproximado com o estado da arte, em termos de tensão, corrente e frequência, dos semicondutores de potência mais significativos.

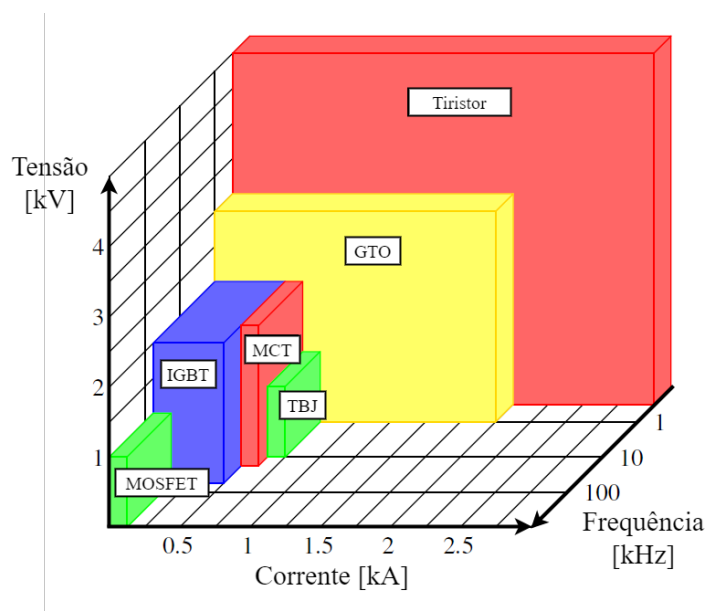


Figura 2.1: Representação Qualitativa Gamas de Funcionamento em Tensão, Corrente e Frequência de Semicondutores de Potência mais Significativos (Adaptado de [4] e [5])

De referir que, além de aperfeiçoamentos das características destes dispositivos, existe uma continua evolução no desenvolvimento de novos dispositivos. O progresso na tecnologia de semicondutores indubitavelmente levará a potências nominais mais elevadas, com velocidades maiores e custos menores. [4] Devido às características associadas ao Tiristor de porta isolada do tipo MOS (MCT), e à rápida expansão desta tecnologia, este poderá vir a substituir os dispositivos do tipo MOSFET, IGBT e Tiristor do tipo GTO (GTO) exceto, talvez, nas muito altas-frequências e potências elevadas. [6] Estes dispositivos, comumente baseados em Si, começam cada vez mais a possuir variantes baseadas em

materiais emergentes como o SiC e o Nitreto de Gálio (GaN). O primeiro cada vez mais consolidado no mercado, com o segundo a apresentar um desenvolvimento notório e de elevada relevância para as aplicações que fizerem uso do mesmo.

Presentemente os dois tipos de transistor mais utilizados em CEP são o MOSFET e o IGBT. O Transistor Bipolar de Junção (TBJ) é atualmente um dispositivo de comutação obsoleto, no entanto há que ter em conta que ambos dos dispositivos MOSFET e IGBT, possuem, na sua constituição, um TBJ. Assim, e de forma resumida:

- TBJ: constituído por uma única estrutura cristalina de silício do tipo *pn* ou *n**pn*. Opera por injeção e recolha de portadores minoritários, tanto eletrões como lacunas, dando origem ao termo transistor bipolar;
- MOSFET: controlado por tensão, denomina-se de dispositivo unipolar, dado a condução ser realizada por apenas um tipo de portadores, maioritários. Possui um TBJ *n**pn* parasita;
- IGBT: Possui as características desejáveis de tensão de entrada do MOSFET, mas as desvantagens de comutação por portadores minoritários do TBJ;

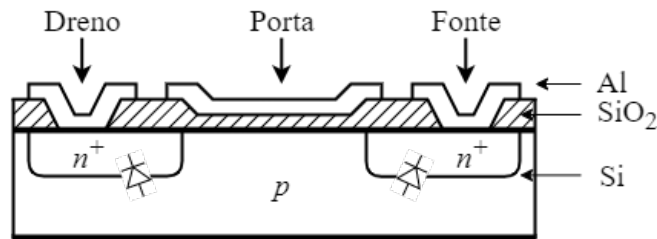
2.2 Transistor Efeito de Campo de Porta Isolada

2.2.1 Estruturas MOS

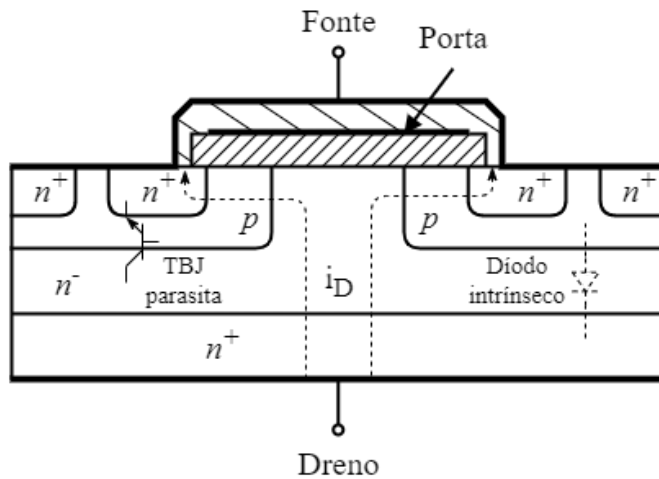
Enquanto que a estrutura longitudinal do tipo MOS é amplamente utilizada em micro-eletrónica, por forma a ser possível aumentar a corrente e tensão de trabalho, recorre-se a estruturas Metal Oxide Semiconductor (MOS) verticais (por adição de uma camada de substrato n^- , quase intrínseca), realizando a associação de centenas destas células individuais em paralelo. Estas estruturas encontram-se representadas na figura 2.2. [6]

O MOSFET, sendo um dispositivo unipolar (a corrente é devida a um só tipo de portadores, maioritários), não apresenta processo de dupla injeção (aumento de q.d.t. proporcional ao aumento de $R_{DS(on)}$). Como representado na figura 2.2c, é constituído por três terminais. O eletrodo de comando ou porta (G), que encontra-se eletricamente isolado do material semiconductor por uma camada fina de óxido de silício, mais dois terminais, dreno (D) e fonte (S), onde são aplicados os sinais de potência a controlar.[6] Na figura 2.2b encontra-se a representação da estrutura MOS vertical $n^+ p n^- n^+$ (do tipo n de enriquecimento), onde a zona do substrato do tipo p forma um curto-circuito com a região da metalização do terminal da fonte, criando um diodo intrínseco entre os terminais fonte-dreno. Quanto ao funcionamento do dispositivo, com $V_{DS} < 0$ e $V_{GS} \leq 0$, o diodo

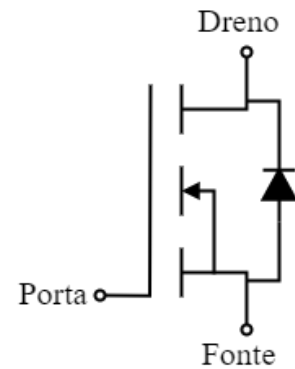
intrínseco conduz, sendo a corrente com sentido dreno-fonte semelhante à de um diodo diretamente polarizado; Com $V_{DS} > 0$ e $V_{GS} \leq 0$, o dispositivo encontra-se diretamente polarizado, no entanto a junção pn está inversamente polarizada, existindo um bloqueio de tensão na região do substrato do tipo n^- . A corrente dreno-fonte apresenta valor idêntico à de fugas, do diodo; Com $V_{DS} > 0$ e $V_{GS} > 0$, com o aumento da tensão porta-fonte procede-se à criação de um campo elétrico dirigido da superfície do óxido, para o semiconductor. Este campo origina acumulação de cargas negativas, imediatamente abaixo do óxido, na região de separação entre este e o semiconductor do tipo p . À medida que V_{GS} aumenta, existe acumulação de elétrons livres nesta região. Com o alcance de $V_{GS_{th}}$ forma-se um canal condutor, com propriedades do tipo n , entre os terminais dreno-fonte, permitindo a passagem de corrente de dreno pelo dispositivo.



(a) Estrutura Física MOS Longitudinal (Adaptado de [7])



(b) Estrutura Física MOS Vertical (Adaptado de [4])



(c) Símbolo MOSFET tipo N

Figura 2.2: Representação Qualitativa Estruturas MOS

2.2.2 Curva Característica

Um parâmetro importante dos transístores do tipo MOS é o valor de $V_{GS_{th}}$, tensão de *threshold*. Este é o valor de tensão mínimo, positivo, a aplicar no terminal da porta,

por forma a estabelecer o processo de condução, e encontra-se representado na curva transferência $i_D = f(v_{GS})$ dada pela figura 2.3b. [7]

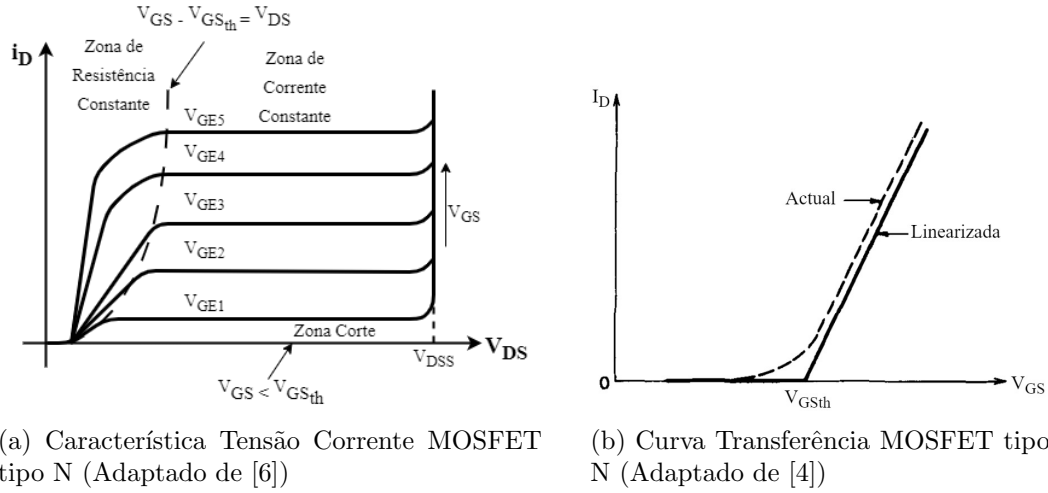


Figura 2.3: Curvas Características MOSFET tipo N

Na figura 2.3a encontra-se a representação da característica $i_D = f(v_{DS})$. Nesta destacam-se três zonas de funcionamento distintas, descritas em seguida. [6]

Zona Corte:

Caracterizada por $V_{GS} < V_{GS_{th}}$, onde o dispositivo suporta tensões positivas até ao valor máximo de V_{DSS} .

Zona de Resistência Constante:

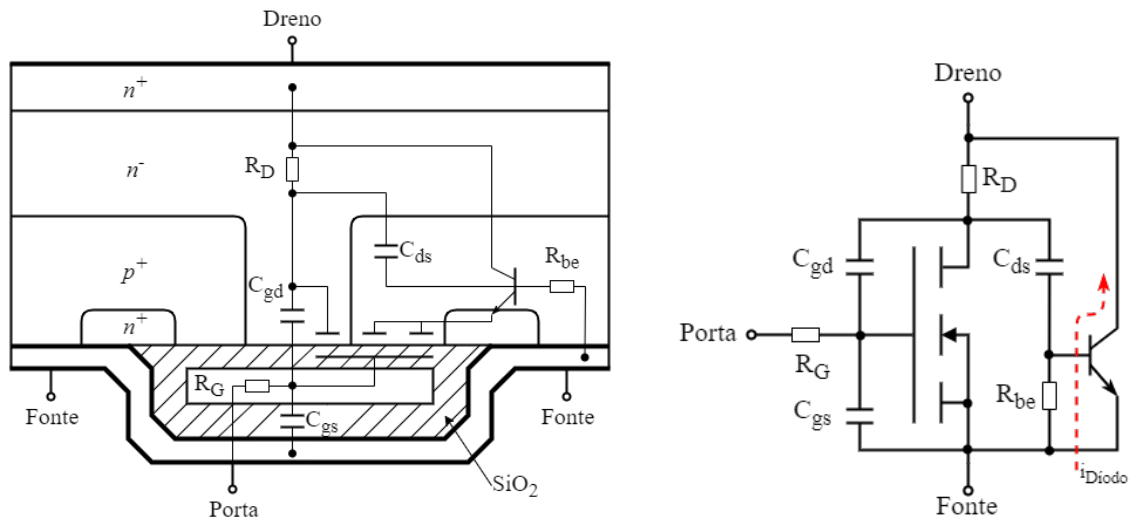
Caracterizada por $V_{GS} > V_{GS_{th}}$ e desde que $V_{GS} - V_{GS_{th}} > V_{DS} > 0$, para tensões drenofonte reduzidas. Esta é a zona de eleição para a condução em aplicações de eletrónica de potência, devido aos valores de potência dissipada que permite alcançar, em comparação com a zona de corrente constante. Nesta região o MOSFET apresenta uma resistência equivalente à condução $R_{DS_{on}}$, praticamente constante (para um dado valor de temperatura), sendo a q.d.t dado por:

$$V_{DS_{on}} = i_D R_{DS_{on}} \tag{2.1}$$

Zona de Corrente Constante: Com $V_{GS} - V_{GS_{th}} \propto V_{DS}$, a tensão de estrangulamento V_{GS} atinge um valor tal que a corrente i_D só depende desta. Para funcionamento como interruptor evita-se a colocação do MOSFET nesta região, devido aos valores de potência dissipada elevados.

2.2.3 Características Dinâmicas

Na figura 2.4 é possível observar o circuito equivalente do MOSFET, onde constata-se a existência de um TBJ do tipo *npn*, possuindo este como terminal emissor, o terminal da fonte do MOSFET, e como terminal da base e coletor o substrato do tipo *p* e dreno do MOSFET, respectivamente.



(a) Estrutura Física com Representação do Circuito Equivalente

(b) Circuito Equivalente Pormenorizado

Figura 2.4: Representação Qualitativa Circuito Equivalente MOSFET Tipo N (Adaptado de [7])

O emissor e a base do TBJ *npn* encontram-se, propositadamente, em curto-circuito, pela região de metalização da fonte, para desativação do dispositivo parasita por redução da eficiência na injeção de corrente. No entanto, dado o curto-circuito não ser perfeito, R_{be} representa a resistência do substrato lateral do tipo *p*. [7]

Aquando a ocorrência de um evento transitório de tensão, entre os terminais dreno-fonte, tal pode dar origem a uma corrente que circula pela capacidade parasita C_{ds} , provocando uma q.d.t em R_{be} suficientemente elevada para colocar à condução o transistor bipolar parasita. [7]

Na situação de existir uma tensão negativa aplicada entre os terminais dreno-fonte, a corrente desloca-se do terminal fonte para o terminal dreno por R_{be} e pela base da junção do coletor do transistor *npn* parasita, representado pela linha vermelha a tracejado presente na figura 2.4b. Este fenómeno constitui a base do funcionamento do diodo intrínseco, inerente a qualquer estrutura do tipo MOSFET, e anteriormente abordado. [7]

O problema de condução do TBJ parasita pode ser circundado reduzindo a velocidade de comutação, por utilização de valores de resistência externa, no terminal da porta, elevados.[4] Esta abordagem será alvo de análise posteriormente. Outra forma de mitigar este problema passa pela colocação dos díodos D_f e D_L , de acordo com a figura 2.5. Nesta, o diodo D_L impede a passagem de corrente pelo diodo parasita, intrínseco ao MOSFET, quando este é comandado ao corte, sendo a totalidade da corrente redirecionada para o diodo em roda livre D_f . No estado de corte, o diodo D_L apenas tem de bloquear a tensão de condução do diodo em roda livre, que apresenta valores reduzidos (alguns volts) podendo ser utilizado um diodo de *Schottky*. [4]

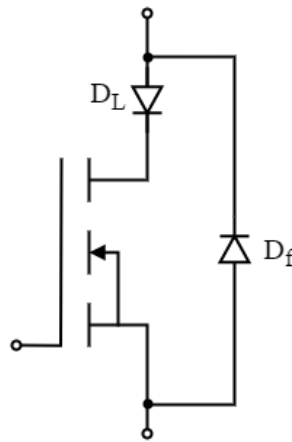


Figura 2.5: Mitigação Condução TBJ Parasita (Adaptado de [4])

Na figura 2.4 observa-se um conjunto de capacidades entre os diversos terminais do dispositivo. Na figura 2.6 esta representação é simplificada, podendo constatar-se a existência de capacidades parasita, dados por C_{gd} , C_{gs} e C_{ds} . Estas capacidades apresentam um comportamento não linear, condicionado pelo valor da tensão dreno-fonte.

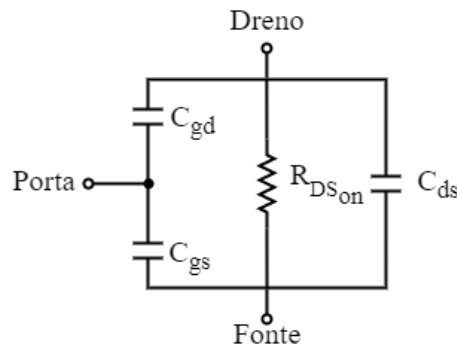


Figura 2.6: Representação Qualitativa Simplificada do Circuito Equivalente de um MOSFET à Condução, na Zona de Resistência Constante, com as respectivas Capacidades Dinâmicas

A influência destas capacidades depende do tamanho do área ativa do material semicondutor e da topologia de célula, de tal forma que, dispositivos de corrente nominal mais elevada, possuem, inerentemente, valores de capacidade mais elevados. [7] Estando o elétrodo de porta do MOSFET isolado eletricamente por uma camada de óxido, em regime permanente, a corrente de comando corresponde a uma corrente de fugas através de um dielétrico, atingindo valores na ordem da centena de nA. Em regime dinâmico, dado a necessidade de proceder à carga e descarga das capacidades equivalentes C_{gd} e C_{ds} , esta corrente pode atingir picos de até 1A. [6]

Dado a não especificação, por parte dos fabricantes, dos valores de C_{gd} , C_{gs} e C_{ds} , apresentando sim os valores das capacidades C_{iss} , de entrada, C_{oss} , de saída e C_{rss} , de transferência inversa, é necessário proceder à relação entre ambas. Assim, tem-se que [7]:

$$C_{oss} = C_{ds} + \frac{C_{gs}C_{gd}}{C_{gs} + C_{gd}} \approx C_{ds} + C_{gd}; \text{ com } C_{gs} \text{ em curto-circuito (F)} \quad (2.2)$$

$$C_{iss} = C_{gs} + C_{gd}; \text{ com } C_{ds} \text{ em curto-circuito (F)} \quad (2.3)$$

$$C_{rss} = C_{gd}; (F) \quad (2.4)$$

2.2.4 Características de Comutação

Na figura 2.7 encontra-se a representação qualitativa das transições à condução e corte, do MOSFET de potência. Nesta destacam-se [7]:

Período I:

Este período corresponde ao atraso de comutação à condução, dado por t_{don} . A tensão, imposta ao terminal de porta, pelo circuito de ataque da mesma, possui uma evolução exponencial positiva, até ao valor limiar $V_{GS_{th}}$, com $\tau = R_G C_{iss}$.

Período II:

Este período corresponde ao tempo de subida da corrente, dado por t_{ri} . A tensão porta-fonte bem como o valor da corrente de dreno aumentam, até esta última atingir o valor de corrente de carga do circuito.

Período III:

Este período corresponde ao decréscimo da tensão dreno-fonte para o seu valor de condução, dado por t_{fv} . Esta taxa de redução brusca, promove a ocorrência de um transitório de tensão, produzindo uma retroação de corrente pela capacidade parasita C_{gd} , pelo terminal de porta.

A esta retroação denomina-se de Efeito de *Miller*, responsável pelo aumento da capacidade de entrada, ficando a tensão V_{GS} fixa num valor constante, devido à carga da capacidade de *Miller* C_{gd} , enquanto se verificar a variação de tensão entre dreno e fonte.

Período IV:

Com o alcance da tensão correspondente à q.d.t em V_{DS} , o MOSFET encontra-se em plena condução, e a tensão em V_{GS} aumenta até ao valor $+V$, dado pelo sinal do circuito de ataque da porta.

Período V:

Este período corresponde ao atraso de passagem ao corte, dado por $t_{d_{off}}$. A tensão, imposta ao terminal de porta, pelo circuito de ataque da mesma, possui uma evolução exponencial negativa, até ao valor idêntico ao atingido no período III. O MOSFET, que até aqui encontrava-se em plena condução, neste estado permanece. Este tempo de atraso pode ser reduzido por aplicação de uma tensão negativa, no terminal da porta, por parte do circuito de ataque.

Período VI:

Este período corresponde ao tempo de subida da tensão dreno-fonte, dado por t_{rv} , e até ao valor V_{CC} . Esta variação dá origem ao Efeito de *Miller*, descrito no período III, promovendo a descarga da capacidade de *Miller* C_{gd} .

Período VII:

Este período corresponde ao decréscimo da corrente de dreno, dado por t_{fi} . Com o alcance da tensão V_{CC} , a corrente de dreno decresce, bem como o valor da tensão V_{GS} , até a primeira anular-se e a segunda alcançar o valor limiar $V_{GS_{th}}$.

Período VIII:

O MOSFET encontra-se ao corte, e a tensão porta-fonte decresce exponencialmente até ao seu valor nulo.

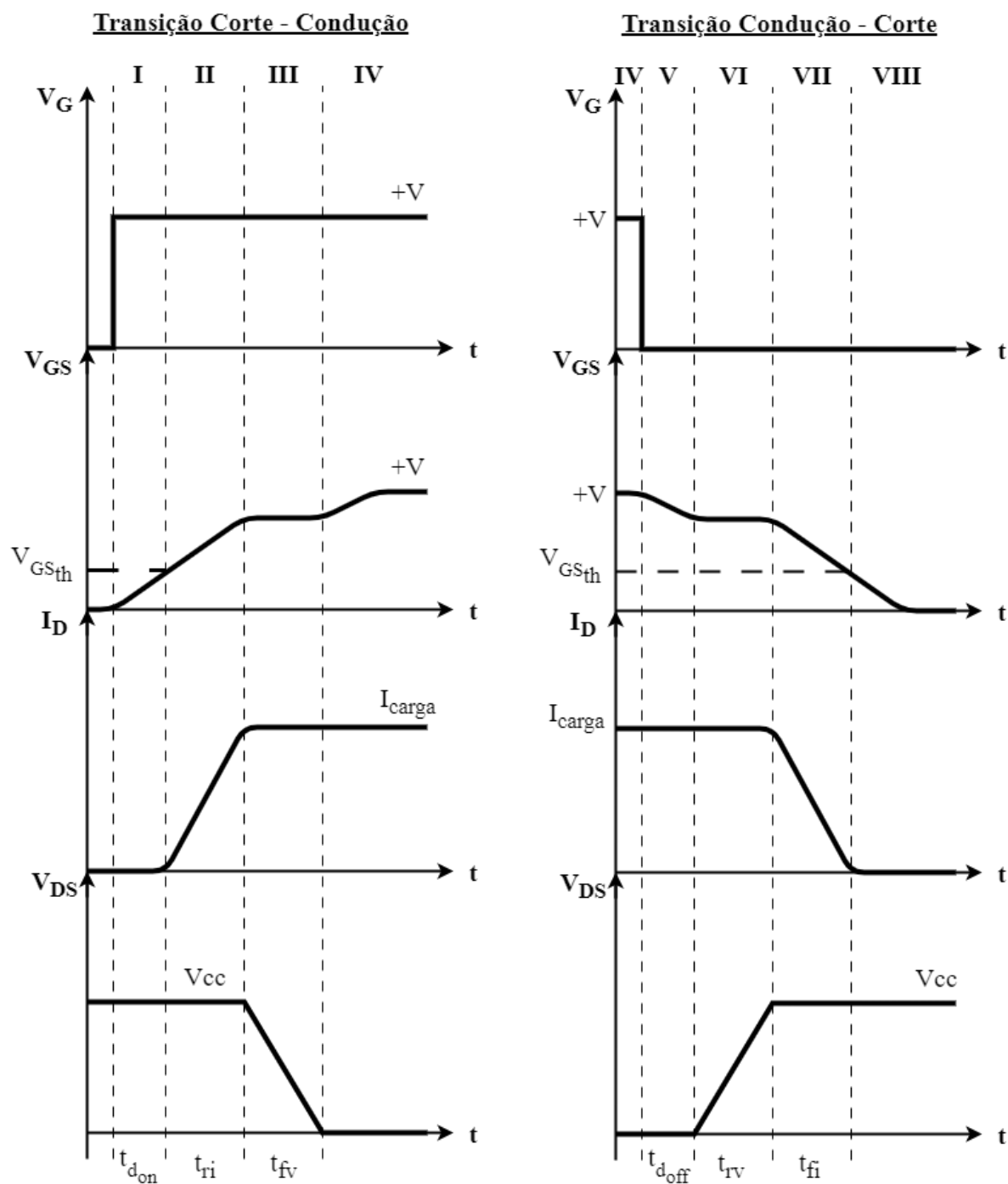


Figura 2.7: Períodos de Comutação MOSFET (Adaptado de [7])

2.3 Transístor Bipolar de Porta Isolada

O IGBT, estrutura MOS-bipolar, é o resultado da conjugação, num único dispositivo de silício, do melhor das tecnologias bipolar (TBJ) e unipolar (MOSFET). Dos TBJs, herda as baixas q.d.t à condução e a capacidade de suporte de mais elevadas tensões e correntes

de funcionamento que o MOSFET. Dos MOSFETs, herda os tempos de comutação reduzidos, especialmente na passagem ao corte, com fácil controlo pelo terminal de porta. [6] Assim, o IGBT possui um desempenho entre um TBJ e um MOSFET, na medida em que é mais rápido que um TBJ mas mais lento que um MOSFET. A tensão de condução é menor do que a de um MOSFET, mas excede a de um TBJ. [6]

2.3.1 Estruturas IGBT

Na figura 2.8a apresenta-se a estrutura vertical do IGBT $n^+ p n^- p^+$ (do tipo n de enriquecimento). Em contraste à estrutura do MOSFET, da figura 2.2b, no IGBT, a camada do substrato do tipo n^+ é substituída por uma camada p^+ .

Esta alteração introduz uma junção pn , cuja camada p , quando em condução, injeta portadores minoritários (lacunas) na região de deriva (n^-). A injeção destes portadores promove o aumento da condutividade da camada de deriva do MOSFET, tendo como consequência a redução da resistência de condução, permitindo a construção de dispositivos com tensões e correntes de trabalho mais elevadas que o MOSFET. [6] Na figura 2.8b apresenta-se o símbolo típico do IGBT tipo n (símbolo do TBJ modificado), seguindo a convenção de que este não passa de um TBJ com um MOSFET na entrada. [4]

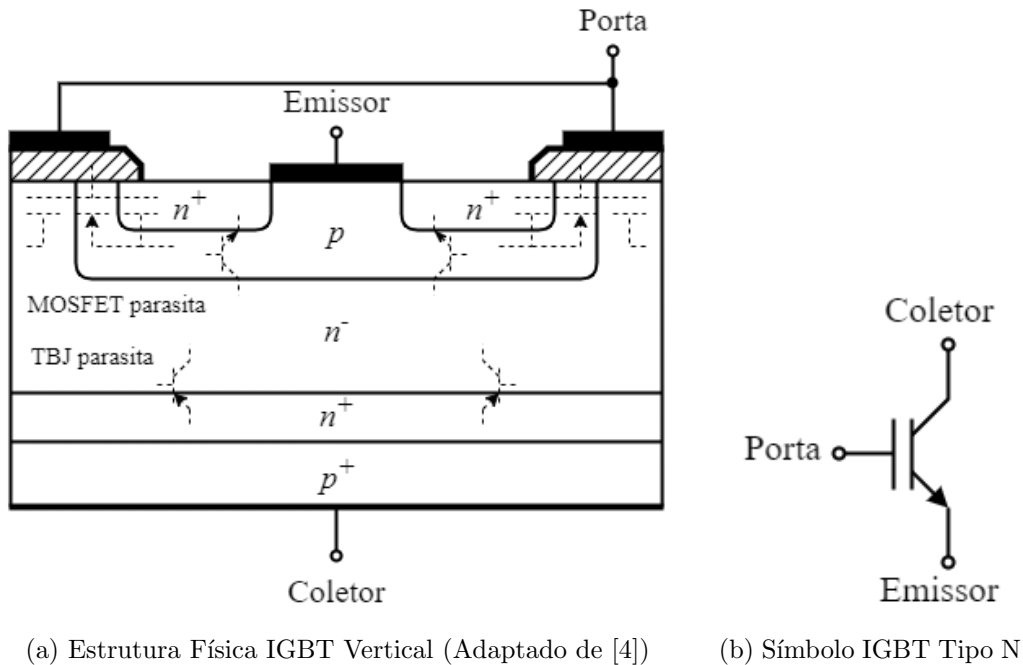
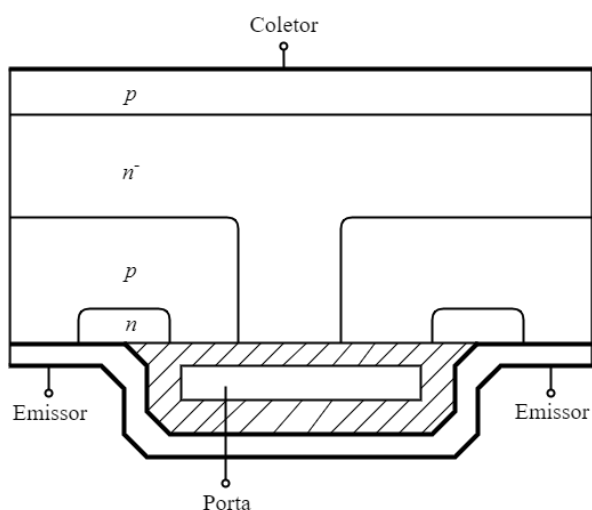
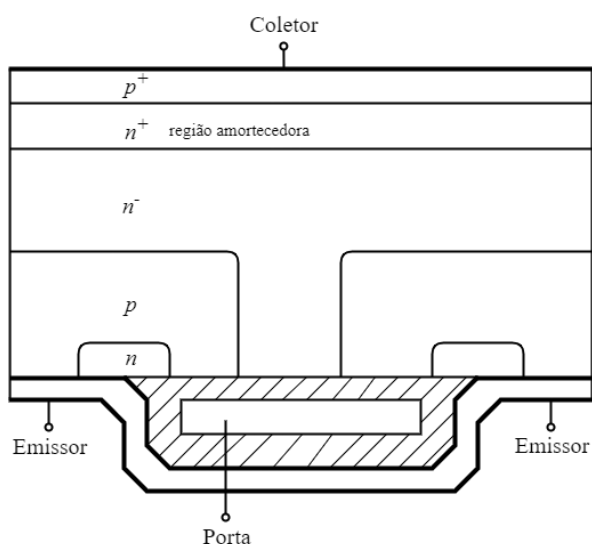


Figura 2.8: Representação Qualitativa Estrutura IGBT

Na figura 2.9 encontra-se a representação das duas estruturas físicas comumente utilizadas no IGBT, cuja descrição apresenta-se em seguida.



(a) Estrutura Simétrica IGBT (NPT)



(b) Estrutura Assimétrica IGBT (PT)

Figura 2.9: Topologias Estruturais IGBT (Adaptado de [7])

IGBT Simétrico:

Representado na figura 2.9a, este tipo de IGBT, também denominado de Non Punch Through (NPT), possui um substrato, ligeiramente dopado, do tipo n^- , com as regiões do tipo p formadas por implantação de iões.[7] Esta topologia permite o bloqueio de tensões inversas com o mesmo valor da tensão direta, tendo a região de deriva, do tipo n^- , de ser larga o suficiente para suporte da tensão no corte.[6]

IGBT Assimétrico:

Representado na figura 2.9b, este tipo de IGBT, também denominado de Punch Th-

rough (PT), incorpora uma região amortecedora do tipo n^+ , e uma camada p^+ , no substrato do tipo n^- . [7] Esta estrutura não suporta tensões inversas elevadas ($>20V$), devido à elevada concentração de impurezas em ambos os lados da junção acrescentada. Em compensação apresenta um valor menor de resistência de condução e tempos de passagem ao corte menores. [6]

2.3.2 Curva Característica

Quanto à curva transferência $i_C = f(v_{GE})$, esta apresenta-se na figura 2.10b. Na figura 2.10a encontra-se a representação da característica $i_C = f(v_{CE})$, de um IGBT simétrico. Nesta destacam-se três zonas de funcionamento distintas, descritas em seguida. [6]

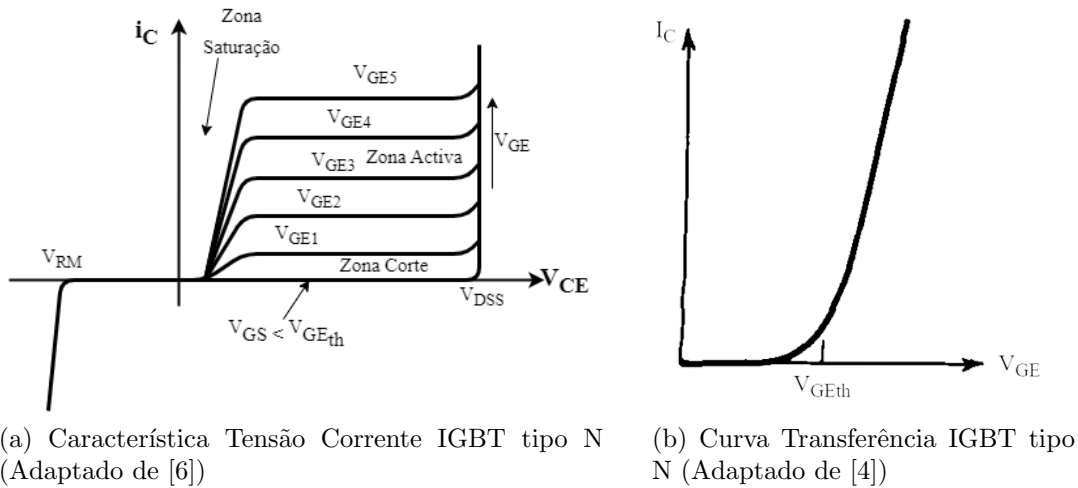


Figura 2.10: Curvas Características IGBT tipo N

Zona Corte:

Com $V_{GE} < V_{GE_{th}} \wedge V_{CE} > 0$, o dispositivo suporta tensões positivas até ao valor máximo de V_{DSS} .

Com $V_{CE} < 0$, o dispositivo suporta tensões inversas até ao valor máximo de V_{RM} .

Zona Ativa:

Com $V_{GE} > V_{GE_{th}} \wedge V_{CE} \gg V_{CE_{sat}}$ a tensão de estrangulamento V_{GE} atinge um valor tal que a corrente i_C só depende desta.

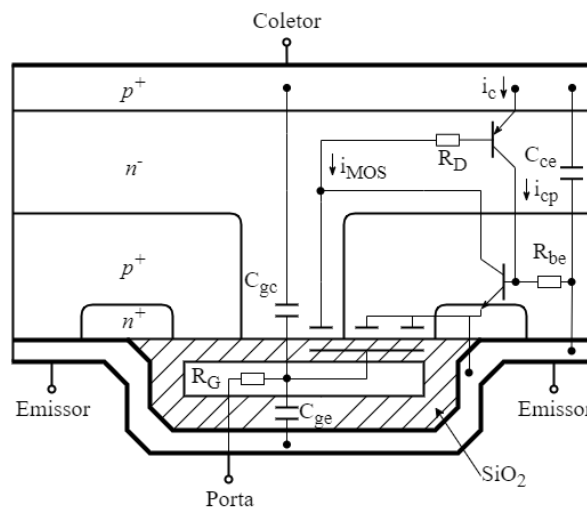
Para funcionamento como interruptor evita-se a colocação do MOSFET nesta região, devido aos valores de potência dissipada elevados.

Zona de Saturação:

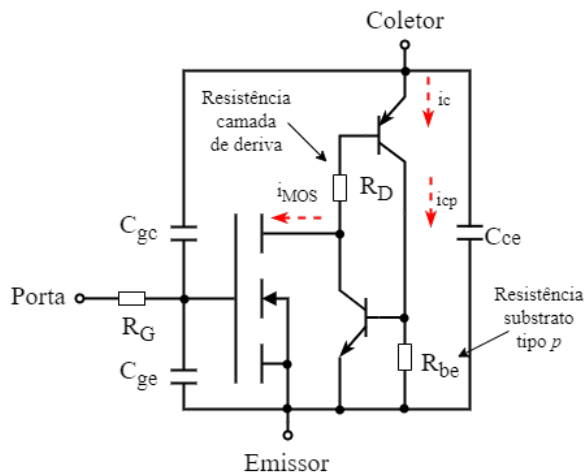
Caracterizada por $V_{GE} > V_{GE_{th}} \wedge V_{CE} \approx V_{CE_{sat}}$, esta deve ser a zona preferencial de utilização quando o IGBT está à condução.

2.3.3 Características Dinâmicas

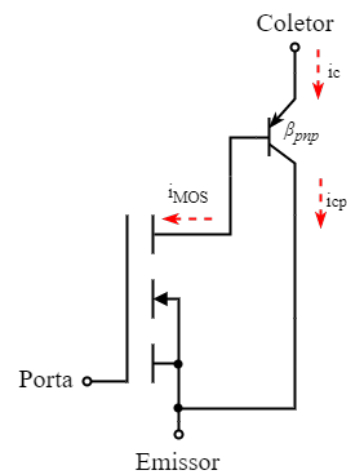
Por observação da figura 2.11c, constata-se que o IGBT é um dispositivo misto, dado a condução ser feita por portadores majoritários (elétrons do canal) e minoritários (injetados pela junção pn). [6] Os primeiros, quando em excesso, são removidos pela tensão de deriva ou por recombinação. Na figura 2.11a encontra-se a sobreposição do circuito equivalente na estrutura física do IGBT.



(a) Estrutura Física com Representação Circuito Equivalente



(b) Circuito Equivalente Pormenorizado



(c) Circuito Equivalente Simplificado

Figura 2.11: Representação Qualitativa Circuito Equivalente IGBT Simétrico tipo N (Adaptado de [7])

Na representação do circuito equivalente, da figura 2.11b, constata-se a existência de uma associação de TBJ *npn* e *pnp*, formando a estrutura do tiristor, sendo a corrente do terminal da porta, do IGBT, controlada pelo transistor MOS vertical, do tipo N. A condutividade da resistência da camada de deriva é aumentada (modulada) quando o IGBT passa à condução. Este efeito possui como consequência um atraso na comutação à condução, e uma corrente remanescente, na comutação ao corte, também denominada de *Tail Current*. [8]

O curto-circuito verificado entre o substrato do tipo *p* e o terminal emissor tem como função a mitigação da possível passagem à condução do tiristor parasita. [4] À passagem à condução do tiristor parasita denomina-se de *Latch-Up*, existindo essencialmente dois processos que permitem a sua ocorrência:

***Latch-Up* Estático [7] [4]:**

Ocorre no estado de condução, se o valor da corrente de dreno crítico for excedido, dando origem a uma q.d.t suficientemente elevada para colocação do tiristor parasita à condução; Este valor crítico é especificado pelos fabricantes, sob a forma de valor máximo de corrente de dreno, I_{DM} , que pode ser aplicada sem ocorrência de *Latch-Up*. Devido ao coeficiente de temperatura negativo, este valor decresce com o aumento da temperatura;

***Latch-Up* Dinâmico [7] [4]:**

Ocorre durante o período de crescimento da tensão, na transição ao corte, e antes da corrente de dreno decrescer; Verifica-se a existência de aumento de lacunas, em zonas sensíveis da estrutura física, provocado pelo movimento de cargas resultante do aumento da zona de depleção; Os valores limite da corrente de dreno apresentam-se inferiores aos da situação de *Latch-Up* estático;

Prevenção de *latch* do IGBT:

Existe um conjunto de medidas que previnem a ocorrência do fenómeno acima descrito, entre os quais destacam-se [4]:

- Conceção de circuito de protecção, para minimização de correntes superiores a I_{DM} ;
- Redução da velocidade de comutação ao corte do IGBT, de modo a que o ritmo de crescimento da zona de depleção, para a região de deriva, seja abrangido, providenciando às lacunas, presentes na região de deriva, um tempo adicional para as mesmas procederem à recombinação. Consequentemente, a corrente presente na região *p* é reduzida na comutação ao corte. Esta redução

é exequível por utilização de um valor externo, e elevado, de resistência da porta R_G ; Contudo, valores elevados de R_G possuem desvantagens inerentes à sua utilização, como será abordado posteriormente.

2.3.4 Características de Comutação

Relativamente à evolução temporal da comutação à condução do IGBT, esta apresenta-se igual à do MOSFET, apresentada na secção 2.2.4. Já a comutação ao corte, a sua representação qualitativa encontra-se na figura 2.12. Nesta destacam-se [7]:

Período V:

Este período corresponde ao atraso de passagem ao corte, dado por $t_{d_{off}}$. A tensão V_{GE} reduz-se para um valor determinado pela tensão limiar $V_{GE_{th}}$, a transcondutância e a corrente no terminal dreno do MOSFET I_{mos} .

Período VI:

Este período corresponde ao tempo de subida da tensão coletor-emissor, dado por t_{rv} , e até ao valor dado pelo circuito externo. Com o aumento da tensão no coletor, a corrente no mesmo permanece constante. A tensão porta-emissor permanece constante durante a carga da capacidade de *Miller* e até ao *terminus* da variação da tensão no coletor. A corrente do coletor é dada por,

$$I_C = I_{mos}(1 + \beta_{npn}) \quad (2.5)$$

com valores elevados de ganho, este período é independente do valor de R_G .

Período VII:

Período inicial correspondente ao decréscimo da corrente do coletor, dado por t_{fi} . Esta primeira fase de redução de corrente deve-se à ação do MOSFET, onde a corrente reduz-se rapidamente para um valor tendencialmente nulo.

Período VIII:

Período final correspondente ao decréscimo da corrente do coletor, dado por t_{fi} . Esta segunda fase de redução de corrente deve-se à ação do TBJ. Com o alcance da tensão limiar $V_{GE_{th}}$, no terminal da porta, o TBJ *npn* comuta ao corte. Como resultado, tem-se uma corrente remanescente, de amplitude reduzida, cuja duração encontra-se dependente do tempo médio de vida dos portadores minoritários da região n^- (base do TBJ) e da eficiência de injeção na região p^+ do coletor do IGBT. A extração destes portadores não é possível, dado não existir acesso direto ao terminal da base. Assim a recombinação de portadores ocorre naturalmente. [9]

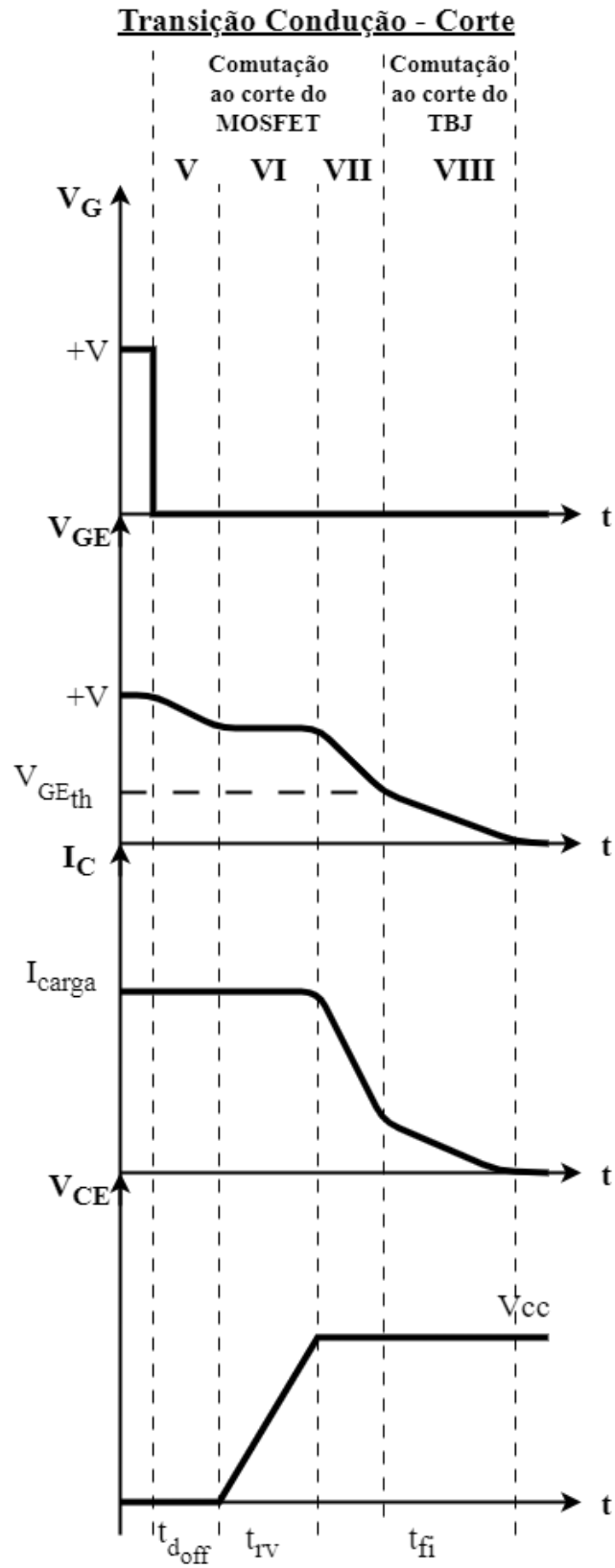


Figura 2.12: Período Comutação ao Corte IGBT (Adaptado de [7])

2.4 Descrição Efeito de *Miller*

Como visto anteriormente, o efeito de *Miller* constitui a retroação da tensão, aos terminais coletor emissor do dispositivo, V_{CE} , por meio da capacidade parasita C_{gc} da porta, que não apresenta um valor constante, mas sim variável, com a tensão V_{CE} , regido por uma relação de proporcionalidade inversa. Esta relação é auto-regulável, e presente tanto no IGBT como no MOSFET. A alteração de V_{CE} produz o mesmo efeito que uma fonte de corrente interna, na medida em que $I_G = C_{GC}(V_{CE})\frac{dV_{CE}}{dt}$. [8] Assim :

Transição à Condução (Com V_{CE} elevado e V_{GE} nulo ou negativo)

O aumento constante da corrente de porta, resulta num aumento linear da tensão na mesma região; Com a diminuição de V_{CE} , a corrente da porta é redirecionada para a capacidade C_{gc} ($C_{gc}\frac{dV_{CE}}{dt}$), e a tensão da porta mantém-se constante; Um novo aumento da tensão da porta apenas se verifica, quando a corrente necessária para proceder ao carregamento da capacidade C_{gc} possui um valor inferior à corrente fornecida pelo terminal de porta;

Transição ao Corte (Com V_{CE} reduzido e V_{GE} positivo e maior que V_{th})

Inicialmente, verifica-se um decréscimo aproximadamente linear, da tensão do terminal de porta (com corrente constante); Com valores ainda reduzidos de tensão V_{CE} , e apenas um aumento moderado, sucede-se a variação mais significativa de C_{gc} (com tendência decrescente); O decréscimo verificado na capacidade C_{gc} produz um aumento de tensão; Dado a existência de uma fonte que extraí a corrente da porta, a tensão V_{GE} mantém-se constante. Consequentemente, verifica-se um aumento da tensão V_{CE} , e uma porção significativa da corrente de descarga da porta é redirecionada para a capacidade C_{gc} . O processo dá-se por terminado assim que a tensão V_{CE} atinge o seu valor nominal de funcionamento, sendo agora possível proceder a uma nova redução da tensão da porta;

Como evidenciado nos pontos acima expostos, o motivo pelo qual o tempo de carga e descarga da porta é abrandado, deve-se ao facto de a corrente da porta, durante os períodos de comutação, ser utilizada para proceder à variação de carga de C_{gc} . Assim, a utilização de valores elevados para a resistência de porta R_G promove o aumento temporal dos períodos dinâmicos.

2.5 Transístor Baseado em Carboneto de Silício

Até agora, toda a análise realizada parte do pressuposto que os dispositivos são baseados em Si. No entanto, materiais emergentes como o SiC, apresentam-se tendencialmente consolidados no mercado, estando, na maioria dos casos, a substituir as suas contrapartes de silício. Este ponto tem como objetivo fazer uma breve apresentação dos semicondutores do tipo IGBT e MOSFET, baseados em carboneto de silício.

2.5.1 Transístor Bipolar de Porta Isolada Baseado em Carboneto de Silício

O IGBT, à base de silício, de alta tensão e corrente de trabalho, são maioritariamente utilizados em aplicações de sistemas de tração, industriais, transmissões em Corrente contínua de alta tensão (HVDC) e aplicações emergentes no ramo da potência pulsada. Neste setores da indústria, faz-se uso de dispositivos de elevada tensão, por forma a reduzir o número dos mesmo nas associações série, simplificando as topologias dos conversores. [10]

A tensão inversa máxima reportada, para dispositivos IGBT Si, atinge os 8.4kV, próximo do limite físico do silício. [11] Sendo a frequência e temperatura de operação os principais impedimentos à continuação do desenvolvimento de IGBT Si, os IGBT baseados em SiC apresentam-se como a solução para aplicações de alta tensão, elevada temperatura e potência. Apesar dos progressos notórios no desenvolvimento desta tecnologia, a sua comercialização ainda não alcançou os níveis de disseminação, verificados na sua contraparte baseado em silício, ou do MOSFET baseado em carboneto de silício. Por este motivo, pode ser considerado como um dispositivo emergente.

2.5.2 Transístor de Efeito de Campo de Porta Isolada Baseado em Carboneto de Silício

Em [12] é realizada a avaliação comparativa entre um conjunto de semicondutores, entre os quais o MOSFET SiC. A análise à característica de saída permite constatar o facto de a transição da zona de resistência constante para corrente constante não se apresentar bem definida, como no caso do Si. Tal fenómeno deve-se ao valor modesto de transdutância do dispositivo, provocando o alargamento da zona de transição sob um maior intervalo de corrente de dreno.

A existência de uma região, relativamente grande, de corrente constante, pode ter um impacto negativo em certos tipos de esquemas de proteção, principalmente nos circuitos de

dessaturação ativos. Estas topologias assumem que a comutação do dispositivo é efetuada numa região de corrente constante durante as falhas de sobrecorrente. No entanto, dado a impedância de saída do MOSFET SiC ser menor, o dispositivo não entra numa região de corrente constante durante uma falha de sobrecorrente, consequentemente, a tensão dreno-fonte não procederá a um aumento significativo. Estas características devem ser cuidadosamente consideradas na conceção dos circuito de proteção de MOSEFT SiC.

A análise da característica de condução direta permite observar a variação da resistência de condução, com a temperatura. Devido ao coeficiente de temperatura elevado das topologias MOSFET Si, um aumento de temperatura produz consequências nefastas para os valores de perdas por potência dissipada, na condução, devido ao aumento da resistência neste estado. Já as topologias MOSFET SiC possuem coeficientes de temperatura moderado, onde o aumento de temperatura não produz um funcionamento nocivo. Tal, só é possível devido à elevada energia da largura de banda proibida, verificada no carboneto de silício, tendo tal, como principal vantagem, a possibilidade de utilizar dispositivos de menor dimensão, a temperaturas ambiente mais elevadas que as suas contraparte de silício.

2.6 Abordagens para Proteção de Transístores

2.6.1 Considerações Gerais Falhas

Por definição, uma falha constitui uma condição física que impede o normal funcionamento de um dispositivo, componente ou elemento. Manifesta-se, por exemplo sob a forma de um curto-circuito, condutor danificado, ligação intermitente ou defeito na pastilha de silício.[13][14]

Uma falha do tipo curto-circuito é caracterizada como uma ligação anormal (incluindo um arco-elétrico), de impedância reduzida, com ocorrência acidental ou intencional, entre dois pontos de diferente potencial num dado circuito. Esta falha produz uma sobrecorrente, que por definição apresenta-se como qualquer corrente superior à nominalmente suportada pelo dispositivo, ou pelo condutor. De referir que um curto-circuito é distinto de uma sobrecarga, dado este último referir-se a uma sobrecorrente com amplitude entre o máximo permissível pelo equipamento, até um valor 10x superior ao mesmo.[13]

A sobretensão constitui outro tipo de falha. É caracterizada como uma tensão entre fase e terra, duas fases, ou, no caso particular dos semicondutores de potência, entre os terminais coletor e emissor ou dreno e fonte do mesmo, com valor de pico superior ao valor máximo suportado pelo dispositivo. Têm a sua génese em descargas atmosféricas

ou em comutações de, por exemplo, interruptores de estado sólido, e podem ser de baixa frequência, temporários ou transitórios. Sobretensões transitórias são caracterizadas pela sua duração relativamente curta e elevado amortecimento. Já as sobretensões temporárias possuem uma duração relativamente longa sem amortecimento, ou fracamente amortecidas. A transição entre estes dois grupos não é definida de forma nítida.[13]

2.6.2 Classificação Tipos Curto-Circuito

Curto-Circuito Tipo 1 - *Hard Switch Fault* [8]:

Também denominada de *Hard Short-Circuit*, apresenta-se como uma falha permanente, i.e, uma falha que existe indefinidamente se não ocorrer nenhuma ação corretiva.[15] Neste tipo de falha o dispositivo semicondutor é colocado à condução, num circuito em curto-circuito pré-existente. Esta falha é normalmente a qualificada como mais perigosa, pois coincide com o *blanking time* dos circuitos de proteção.

Em curto-circuito, os dispositivos do tipo IGBT e MOSFET, limitam a corrente do coletor de acordo com a sua característica de saída ($i_D = f(v_{CE})$ ou $i_D = f(v_{DS})$). Devido à elevada tensão, verificada enquanto a corrente de curto-circuito é aplicada no dispositivo, este tem de suportar perdas por potência dissipada proibitivamente elevadas. Neste caso o dispositivo tem de comutar ao corte o mais rapidamente possível, num tempo nunca superior a $5\mu s$ ou $10\mu s$, sendo que existem dispositivos semicondutores que indicam, nas respetivas fichas técnicas, qual a capacidade de suporte do curto-circuito, em termos temporais, sendo vulgarmente este valor de alguns μs .

Curto-Circuito Tipo 2 - *Fault Under Load* [8]:

Também denominada de *Soft Short-Circuit*, apresenta-se como uma falha transitória, i.e, uma falha que surge e desaparece num curto período temporal.[15] É caracterizada pela ocorrência do curto-circuito durante o estado de condução do dispositivo semicondutor.

A tensão aos terminais do dispositivo aumenta assim que a corrente atinge o patamar da zona ativa correspondente à tensão aplicada no terminal da porta. Este aumento de tensão produz uma forte redução na capacidade C_{gc} ou C_{gd} , providenciando uma corrente que carrega a capacidade C_{ge} ou C_{gs} , aumentando a tensão no terminal de porta.

A capacidade de suporte do curto-circuito pode ser melhorada em função da tensão da porta, como é possível constatar por observação da figura 2.13. Assim, é aconselhável a proteção do dispositivo com tempo de suporte de curto-circuito de $10\mu s$ em cerca de $2\mu s$. [16]

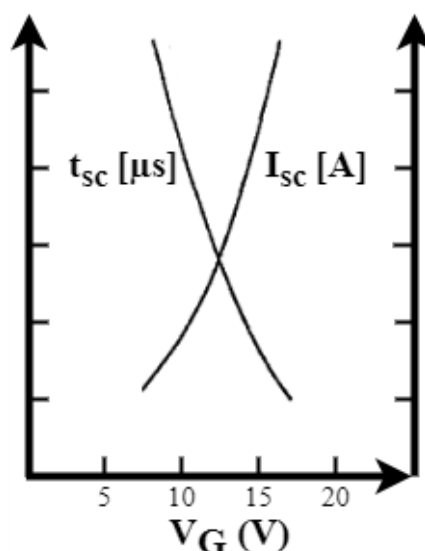


Figura 2.13: Representação Qualitativa da Variação da Corrente de Curto-Circuito e Tempo de Suporte do Mesmo em Função da Tensão do Terminal da Porta (Adaptado de [16])

2.6.3 Mecanismos de Falha

A destruição do dispositivo semiconductor, sob condições de curto-circuito, deve-se a um conjunto de mecanismos, alguns dos quais desencadeados por instrução para comutação ao corte, cuja descrição se apresenta de seguida.

No entanto, por norma, a falha catastrófica deve-se ao excesso de potência dissipada, dando origem a temperaturas em excesso às nominalmente suportadas pelo silício, e a pontos quentes de distribuição não uniforme se a concentração do material dopante também não for uniforme. [16]

Alcance Limite Térmico [16]

A falha do silício não é imediata, mesmo que se tenha ultrapassado o limite de temperatura de junção. Aos 250 °C o silício dopado torna-se intrínseco. A temperaturas superiores a 900 °C existe perda catastrófica das propriedades semiconductoras do silício.

Fenómeno *Latching*

Como visto anteriormente, no caso do IGBT, existe uma estrutura semelhante à do tiristor, que em normal funcionamento, é impedida de conduzir por limitação do ganho dos TBJs que o constituem e por redução da resistência da zona de deriva. [16]

Sob condições de falha, a existência de uma sobretensão com a passagem ao corte, provocada pelo di/dt , consequência dos elementos parasita no circuito, dá origem a uma corrente que circula pela resistência da zona deriva, dado o canal do MOSFET ser reduzido

quando se pretende comutar ao corte o IGBT. Este excesso de corrente pode dar origem a uma q.d.t suficientemente elevada, tal que leva a estrutura do IGBT a uma condição de *latch*, por passagem à condução do tiristor parasita, deixando de ser possível o controlo pelo terminal da porta. [16] [17]

Excesso de Tensão

À semelhança do que ocorre na situação de *latch*, o excesso de tensão, gerado pela taxa de decrescimento da corrente devido aos elementos parasita, pode dar origem a uma situação de avalanche, resultando na falha por excesso de potência dissipada no dispositivo. [16] Esta situação pode ser minimizada por:

- Redução da indutância parasita. Nem sempre tal é exequível; [16]
- Redução da taxa de decrescimento da corrente por uso de uma resistência em série com o terminal de porta. O aumento desta resistência é diretamente proporcional ao decréscimo de di/dt [16]; No entanto, apesar de esta ser uma medida prática, que protege contra a sobrecorrente, o mesmo não pode ser dito para a eficácia da proteção de sobretensão durante o processo de comutação normal. Adicionalmente valores elevados de resistência promovem o aumento das perdas na condução normal [18].

Disrupção Terminal da Porta [17]

Com o aumento da tensão V_{CE} durante o curto-circuito, o elevado valor da taxa de variação desta grandeza induz uma corrente i_{GC} pela capacidade equivalente C_{gc} . Consequentemente a tensão no terminal da porta aumenta para valores superiores ao nominal. Esta situação pode ser minimizada, como será abordado em 2.6.4.

2.6.4 Circuitos Proteção Terminal Porta

No terminal da porta, podem existir sobretensões que levem à rotura do óxido, uma vez que a tensão máxima na porta não deve ultrapassar normalmente os 20V. [6] Assim, torna-se necessário proceder à proteção deste terminal.

2.6.4.1 Circuito Tampão da Porta Ativo

Devido ao efeito de *Miller* anteriormente descrito, o aumento da tensão V_{CE} provoca uma corrente que aumenta a tensão da porta se esta não for descarregada rapidamente. Na figura 2.14 encontra-se a representação de um circuito para proteção deste terminal.

A utilização de um diodo rápido, comparativamente a um diodo Zener, entre os terminais porta-emissor/fonte, permite a aplicação de um valor de tensão independente da

tensão nominal do diodo Zener e da inclinação da sua curva característica. Adicionalmente, com a utilização de um diodo rápido, a carga provocada pelo efeito de *Miller* pode ser removida rapidamente, permitindo uma maior redução do pico de corrente do curto-circuito, comparativamente a uma topologia que não faça uso deste. [8]

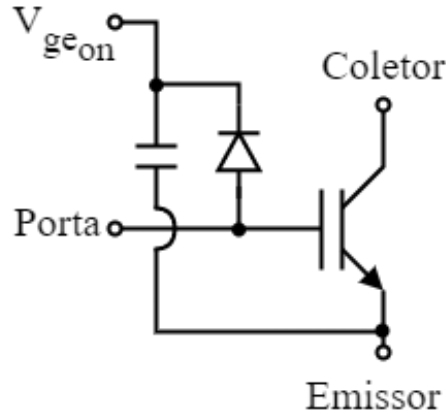


Figura 2.14: Implementação Prática de um Circuito Tampão da Porta Ativo (Adaptado de [8])

2.6.4.2 Resistência em Série com Porta

A utilização de uma resistência em série com o terminal de porta permite amortecer o sinal de disparo, normalmente uma evolução em escalão. Devido à existência de elementos parasita no circuito de entrada (indutâncias L_p ou capacidades C_p), o sinal de disparo pode oscilar com uma frequência perto da frequência de ressonância $1/\sqrt{L_p C_p}$. O cálculo desta resistência envolve o conhecimento dos valores dos parâmetros parasita, considerando-se um fator de qualidade ótimo de 0,707. [6] Assim:

$$Q = \omega \frac{L_p}{R_G} \quad (2.6)$$

$$\frac{\sqrt{2}}{2} = \frac{1}{\sqrt{L_p C_p}} \frac{L_p}{R_G} \quad (2.7)$$

$$R_G = \frac{2}{\sqrt{2}} \frac{L_p}{\sqrt{L_p C_p}} \quad (2.8)$$

$$R_G = \frac{2}{\sqrt{2}} \sqrt{\frac{L_p^2}{L_p C_p}} \quad (2.9)$$

$$R_G = \frac{2}{\sqrt{2}} \sqrt{\frac{L_p}{C_p}} \quad (2.10)$$

Esta normalmente apresenta valores entre 10Ω e 20Ω . [6]

2.6.5 Características de um Circuito de Proteção

A principal função de um circuito de proteção é, como o nome sugere, providenciar a proteção do dispositivo em condições de funcionamento anormal do mesmo. No entanto, para além deste objetivo, destacam-se também um conjunto de critérios considerados desejáveis na implementação de um circuito de proteção [16]:

1. Comutação ao corte do dispositivo antes da ocorrência de falha, qualquer que seja o estado de funcionamento;
2. Limitação da corrente de pico, durante a falha, a que o dispositivo está sujeito, limitando a degradação do material;
3. Imunidade ao ruído;
4. Garantia de funcionamento em Fault Under Load (FUL) e Hard Switch Fault (HSF);
5. Não afetar o desempenho da normal comutação do dispositivo;
6. Não afetar o desempenho durante o estado de condução do dispositivo;
7. Fácil definição do valor limiar de atuação do circuito de proteção;
8. Ser economicamente viável;

2.6.6 Análise de Mecanismos de Detecção de Falhas e Proteção dos Dispositivos Semicondutores de Potência Baseados no Circuito de Comando de Porta

Os circuito de comando não só responsabilizam-se pela entrega dos sinais de controlo, mas também pela obtenção dos estados de funcionamento dos semicondutores de potência que comandam. [17] Com o aumento da frequência de comutação, as perdas podem ser significativamente influenciadas pelo circuito de potência e pela fonte de tensão da porta.

Não obstante, a utilização de fontes de tensão encontra-se amplamente disseminada na indústria, sendo a norma na implementação prática. Na figura 2.15 encontra-se um conjunto de abordagens de amostragem de sinais para consequente monitorização do funcionamento do dispositivo. As abordagens preponderantes serão alvo de descrição nas secções seguintes. A combinação de múltiplas abordagens, numa só, permite a obtenção de métodos de controlo e proteção mais sofisticados e otimizados. [17]

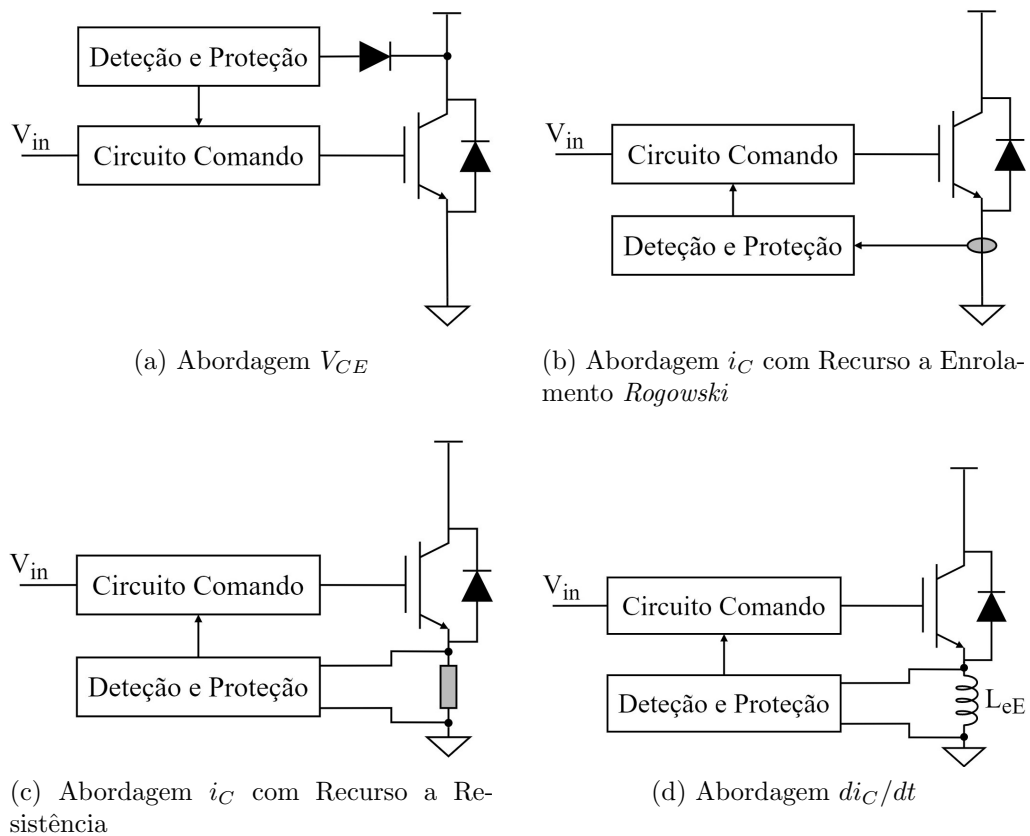


Figura 2.15: Representação Qualitativa de Abordagens Elementares de Detecção e Proteção Baseados no Circuito de Comando da Porta (Adaptado de [17])

2.6.6.1 Abordagem Baseada em Resistência

A metodologia apresentada na figura 2.15c constitui a abordagem mais elementar, e simples de entender. Esta faz uso de uma resistência de derivação, colocada no percurso da corrente da carga (geralmente após a fonte/emissor) e utilizada para criação de uma tensão, monitorizada pelo circuito de proteção. [16]

Este método tem como principais vantagens:

- Medição de corrente precisas e adequada para deteção de curto-circuitos e sobrecorrentes;
- Permite a utilização do sinal para retroação analógica;
- Não requer o dimensionamento de um circuito para providenciar *blanking time*;

Já as desvantagens passam por:

- Volumoso, requerendo uma resistência de baixa indutância;
- Comportamento transitório desfavorável devido às auto-indutâncias da re-

sistência, e da ligação. Se colocado no interior do loop dc, existe adição de indutâncias parasitas, que irão afetar o desempenho do sistema;

- Tensão de monitorização não isolada do circuito de potência;

2.6.6.2 Abordagem V_{CE} ou V_{DS}

A abordagem por deteção da tensão V_{CE} , apresentada na figura 2.15a, é a solução comercial mais comum para proteção de curto-circuito e sobrecarga. [17] O seu funcionamento, pode ser descrito da seguinte forma [17] [16]:

- No estado de condução do dispositivo, a tensão V_{CE}/V_{DS} apresenta um valor reduzido, existindo um aumento da corrente i_C para o valor regido pela carga;
- Por definição, num curto-circuito, a única impedância vista pela fonte do circuito exterior é o dispositivo semiconductor. Assim, a tensão do barramento DC será aplicada aos terminais do dispositivo. Nesta situação a corrente i_c apresenta um período de crescimento rápido, até alcance do seu nível de saturação (dependente da tensão V_{GE}), verificando-se um aumento da q.d.t aos terminais do dispositivo;
- Uma vez detetado um valor de V_{CE}/V_{DS} superior ao de referência, é permitida a atuação do circuito de proteção;

Este método tem como principais vantagens:

- Não requer um elemento de deteção de corrente;
- Elevada rapidez dado as indutâncias reduzidas do circuito;
- Eficaz em aplicações de corrente continua e alternada;
- Custo reduzido e de fácil implementação, dado a utilização de componentes passivos simples;

Já as desvantagens passam por:

- Não permite a definição para um dado valor de corrente, fornecendo uma indicação de falha sujeita a erro. Há que definir o circuito de tal forma que que o nível de deteção se situe superior ao valor máximo de $V_{ce(on)}$ do IGBT e $V_{ds(on)}$ do MOSFET, para determinação de quando se encontra em saída da zona de saturação;
- Não se encontra isolado do circuito de potência. Quer isto dizer que, enquanto a ação de remoção imediata do sinal da porta do IGBT pode ser realizada

localmente, a transferência da mensagem de erro para o circuito lógico pode requerer uma barreira de isolamento, aumentando a complexidade do sistema;

- Há que introduzir um período de *blanking time* para garantia do processo de comutação à condução.

2.6.6.3 Abordagem i_C ou i_D

A abordagem por detecção da corrente i_C ou i_D , apresentada na figura 2.15b, é outra solução comercial, amplamente disseminada, para proteção de curto-circuito e sobrecarga. [17] Nesta coloca-se um transformador em torno do condutor que se prevê ser portador da corrente associada à falha. [16] É comum a utilização de enrolamentos de *Rogowski* para medição da corrente.

Este método tem como principais vantagens:

- Fácil adaptação;
- Providência isolamento entre circuito de potência e comando;
- Sinal de saída com elevada imunidade ao ruído;

Já as desvantagens passam por:

- Não permite a detecção de níveis de corrente DC sem a utilização de transformados mais sofisticados, como o sensor de efeito de *Hall*;
- Dimensionamento não trivial, dado a necessidade de operação numa larga largura de banda de frequência;

2.6.6.4 Abordagem di_C/dt ou di_D/dt

A abordagem por detecção da taxa de variação da corrente i_C ou i_D , apresentada na figura 2.15d, faz uso de um elemento indutivo, para proteção do dispositivo. [17]

Durante o período de condução normal, a corrente do coletor permanece constante, e V_{eE} é nulo. Durante a ocorrência de um transitório, a taxa de variação da corrente, $\frac{di_C}{dt}$, pode ser extraída pela tensão V_{eE} em L_{eE} , permitindo a comparação com um valor de referência para averiguação de existência de falha. [17] A proteção baseada neste parâmetro permite velocidades de resposta superiores, dado estar-se a monitorizar o gradiente de corrente, a que o dispositivo a proteger está sujeito.

2.6.7 Princípios de Proteção de Sobretensão

Quando um semicondutor de potência é abruptamente comutado ao corte, a energia armazenada na indutância parasita do circuito é dissipada no dispositivo, dando origem a sobrelevações de tensão, cuja magnitude é determinada pela equação 2.11 [18]:

$$V = L \frac{di}{dt} \quad (2.11)$$

Na situação de comutação ao corte, para proteção na ocorrência de curto-circuito, as taxas de variação da corrente verificadas podem facilmente atingir alguns milhares de A/ μ s. Assim, se não se der a devida atenção à minimização dos transitórios de tensão, na comutação, qualquer tentativa de salvar o dispositivo, por comutação ao corte do mesmo, em condições de falha, pode levar à sua destruição catastrófica. [18]

Para supressão da sobretensão verificada na comutação ao corte, é preferencial a utilização de métodos de comutação ao corte suave, em oposição ao aumento da resistência de porta. Neste primeiro método, a tensão da porta é reduzida para um valor intermédio, permanecendo neste durante um dado período antes de passar para um valor nulo, ou negativo. Durante o período de redução da tensão da porta, a corrente e sobretensão são reduzidas para um valor considerado seguro. [17] A implementação deste método em particular encontra-se apresentada nas secções 2.6.7.1 e 2.6.7.2.

2.6.7.1 Corte Suave por Malha Única

A implementação deste circuito encontra-se na figura 2.16. A tensão V_{CE} , ao ultrapassar a tensão de ruptura de D_z , promove uma corrente I_z que carrega a capacidade equivalente C_{ge} . Desta forma, a tensão V_{GE} volta a aumentar, passando o dispositivo novamente ao estado de condução, reduzindo a taxa de variação da corrente aos seus terminais. [17]

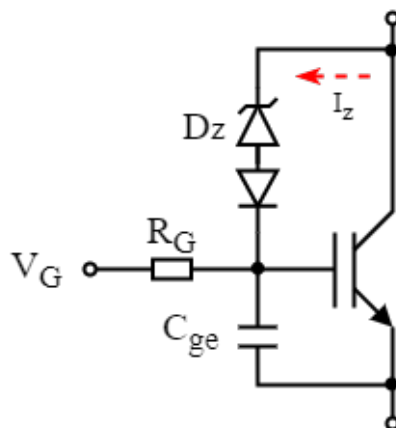


Figura 2.16: Representação Qualitativa Corte Suave de Malha Única (Adaptado de [17])

Este método tem como principais desvantagens [17]:

1. A corrente I_z pode provocar um aumento temporário de V_{GE} , para um valor crítico superior à tensão máxima suportada pelo terminal da porta. Apesar da tensão do terminal de porta puder ser limitada, surgiria uma elevada q.d.t aos terminais da resistência R_G ;
2. Necessidade de dissipação da energia adicional de I_z , em R_G e no transistor responsável por comutar a tensão $V_{G_{OFF}}$;

Em [19], este método é utilizado para realização da proteção de sobretensão do MOSFET SiC. Em [18] este método também é utilizado para proceder à proteção de sobretensão, neste caso de um IGBT Si.

2.6.7.2 Corte Suave por Malha Dupla

A implementação deste circuito encontra-se na figura 2.17, permitindo colmatar as desvantagens da implementação da secção 2.6.7.1. Nesta, existe separação da corrente I_z em I_1 (aplicada à capacidade equivalente C_{ge}) e I_2 (de ajuste da tensão da porta para comutação ao corte aquando a ocorrência de sobretensão). [17]

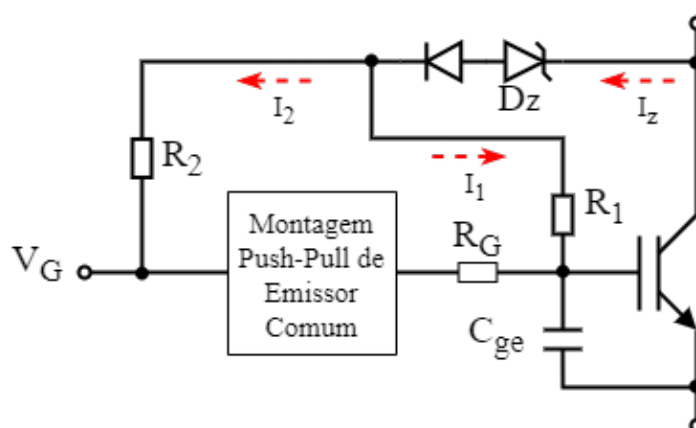


Figura 2.17: Representação Qualitativa Corte Suave de Malha Dupla (Adaptado de [17])

Este método tem como principais vantagens [17]:

- I_1 encontra-se limitada por R_1 ;
- Redução da tensão aplicada em R_G ;
- Redução das perdas de R_G e D_z ;

2.6.7.3 Circuito Tampão

Um circuito tampão é constituído por um elemento de impedância variável, não linear, proporcional à corrente que o atravessa ou à tensão presente nos respetivos terminais. Em regime estacionário, o circuito é “cego” à presença destes elementos. A acção do elemento tampão resulta do aumento da corrente que o atravessa, com o aumento da tensão. Esta limitação da tensão pode ser observada no circuito da figura 2.18, onde a tensão V_{Z_V} é dada pela equação 2.12, de quociente variável.

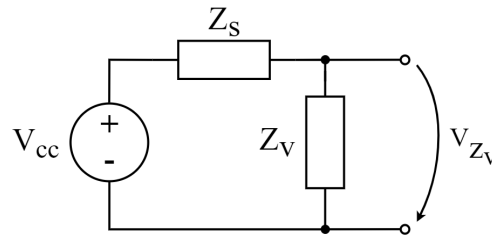


Figura 2.18: Representação Qualitativa Efeito Circuito Tampão (Adaptado de [15])

$$V_{Z_V} = \frac{Z_V}{Z_V + Z_S} V_{cc} \quad (2.12)$$

Para realização do circuito tampão recorre-se a uma díodo Zener ou varistor, colocado em paralelo com o terminal dreno/coletor ou fonte/emissor do semiconductor. [6] Nesta implementação, o díodo externo é responsável pelo suporte da totalidade da sobretensão, bem como de qualquer corrente de circule no circuito no qual este se insere.

2.6.7.4 Circuito RCD Snubber

O circuito da figura 2.19 permite além de reduzir a sobretensão aos terminais do dispositivo, reduzir as perdas de comutação ao corte do mesmo. Durante a comutação corte - condução, a capacidade C descarrega-se, uma vez que o semiconductor passa para o estado de condução e apresenta a característica de circuito fechado Durante a comutação condução - corte, a capacidade C carrega-se, uma vez que o semiconductor passa para o estado de corte e apresenta uma característica de circuito aberto. Assim, a taxa de subida da tensão aos terminais do dispositivo, na comutação ao corte, é reduzida, impondo uma comutação menos repentina, permitindo a redução das perdas. [18]

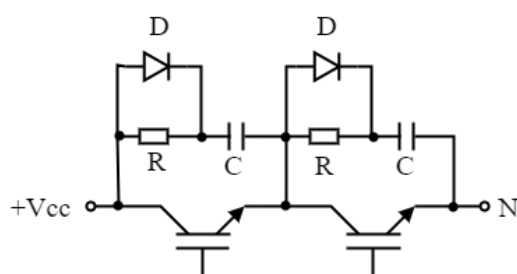


Figura 2.19: Circuito RCD Snubber de Carga/Descarga (Adaptado de [18])

2.6.7.5 Circuito RCD Voltage Clamp

A implementação deste circuito encontra-se na figura 2.20. Este circuito apesar de prático para a operação normal do dispositivo, e para proteção de sobretensão, para a realização de proteção durante condições de curto-circuito tal praticabilidade não se verifica, dado a capacidade de *snubber* ser proporcional ao quadrado da corrente. Esta capacidade teria de ser 25 a 100 vezes superior à utilizada em condições de operação normal. [18]

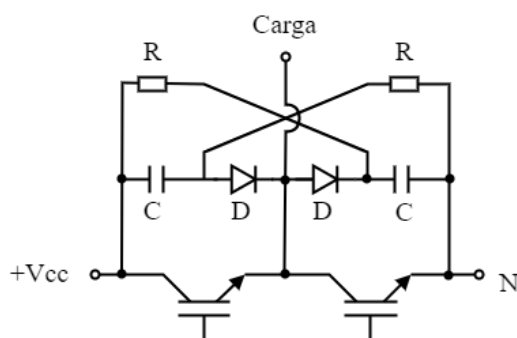


Figura 2.20: Circuito RCD Voltage Clamp (Adaptado de [18])

2.6.7.6 Proteção por Método Resistivo

Em [18] é proposta uma topologia de circuito que permite a colocação de um valor de resistência (R_{G2}) em série com o terminal da porta, apenas quando é detetada a falha, para realização da proteção de sobretensão. Este método tem associado os constrangimentos verificados para valores de R_G elevados.

2.6.7.7 Proteção por Método Capacitivo

Em [18] é proposta uma topologia de circuito que permite a colocação de um valor de capacidade externa (C_1) consideravelmente superior à capacidade equivalente C_{ge} , em paralelo com a mesma, apenas quando é detetada a falha, para realização da proteção de sobretensão. Este método tem os constrangimentos associados ao efeito de *Miller*.

2.6.8 Princípios de Proteção de Sobrecorrente

A corrente gerada durante um curto-circuito pode atingir gamas de valores 5 a 10 vezes superiores ao nominal. Comutar o semiconductor de potência ao corte, na presença de tão elevada corrente, pode produzir di/dt s extremamente elevados e potencialmente catastróficos. [18] Neste ponto serão abordadas metodologias para colmatar tal situação.

2.6.8.1 Métodos de Controlo Ativo da Porta

Em [20] realiza-se o controlo ativo da porta para controlo do di/dt na comutação à condução e de dv/dt na comutação ao corte.

Para minimização da sobrecorrente na passagem à condução do IGBT Si, o valor de tensão intermédia V_{int} deve ser superior à tensão limiar V_{th} , para garantia de que o transístor interno do IGBT está à condução, e inferior a V_{gon} , valor máxima da tensão de porta. O valor temporal de T_{int} deve albergar o período de transição à condução.

Com o *terminus* do período de recuperação inversa, a corrente de coletor atinge o valor imposto pela carga, e a tensão da porta aumenta para V_{gon} . A redução de V_{int} , desde que dentro do intervalo acima exposto, permite a redução da sobrecorrente, como se pode constatar na figura 2.21.

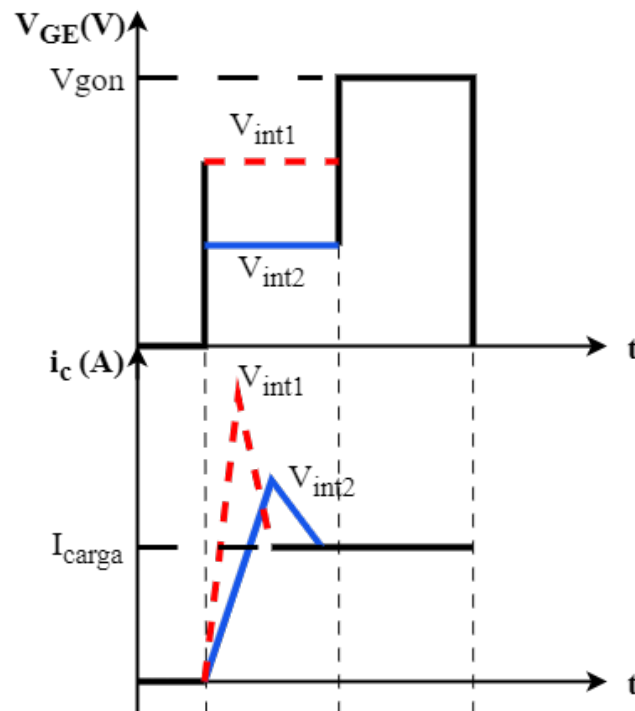


Figura 2.21: Representação Qualitativa Evolução Corrente Coletor e Tensão GE na Comutação à Condução (Adaptado de [17])

2.6.8.2 Circuito Ativo de Proteção de Sobrecorrente

Para proteção de sobrecorrentes, no MOSFET e IGBT, é preferível a utilização de circuitos ativos, dado que os fusíveis são, por norma, mais lentos que o MOSFET ou IGBT, tendo este um valor da característica de choque térmico (I^2t) reduzida. [6]

Uma representação deste circuito encontra-se na figura 2.22. Este, faz uso do facto da tensão V_{DS} , do MOSFET em condução, ser proporcional à corrente i_D através de $R_{DS_{on}}$. A tensão V_{DS} é medida através de um diódo rápido D_d e comparada com uma tensão de referência V_{ref} , e quando se lhe torna superior, o comparador comuta, passando o transistor T_1 à condução e permitindo o estrangulamento do canal de condução do MOSFET, por ligação do mesmo ao terminal de massa. Tal obriga o MOSFET a passar ao corte até esta situação se verificar. O circuito de proteção não está ativo quando a fonte de sinal V_i contém informação de corte do MOSFET, situação em que V_{DS} é dado pela tensão do barramento DC. [6] O princípio de funcionamento apresenta-se idêntico para o IGBT.

Para existência de um correto funcionamento é necessário assegurar, adicionalmente, que o tempo de processamento do sinal de inibição é superior ao tempo de passagem à condução do dispositivo, caso contrário o MOSFET não passa à condução. [6]

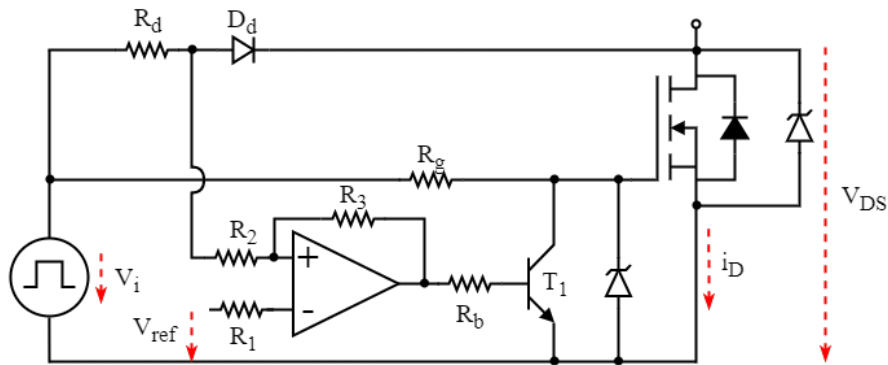


Figura 2.22: Circuito Ativo de Proteção de Sobrecorrente (Adaptado de [6])

Para colmatar a debilidade do circuito da figura 2.22 recorre-se ao circuito da figura 2.23. Este circuito apresenta um funcionamento idêntico ao da figura 2.22, tendo adicionalmente uma malha RC, que providencia um determinado tempo de atraso em que a proteção está “cega”, denominado de *blanking time*. Este atraso é dado pela constante de tempo RC, e permite um tempo adicional para passagem à condução do MOSFET/IGBT. Por sua vez, a constante de tempo é o tempo que a tensão do condensador C_{blk} demora a atingir aproximadamente 63% da amplitude do escalão da tensão aplicada na porta do

dispositivo.

Assim:

$$V_{C_{blk}} = V_i * (1 - e^{-\frac{t}{\tau}}) \quad (2.13)$$

Onde $V_{C_{blk}}$ corresponde à tensão da capacidade C_{blk} a partir do qual o circuito de proteção atua, V_i a amplitude do escalão de tensão aplicado na porta e t o tempo após o qual o circuito deteta a sobrecorrente.

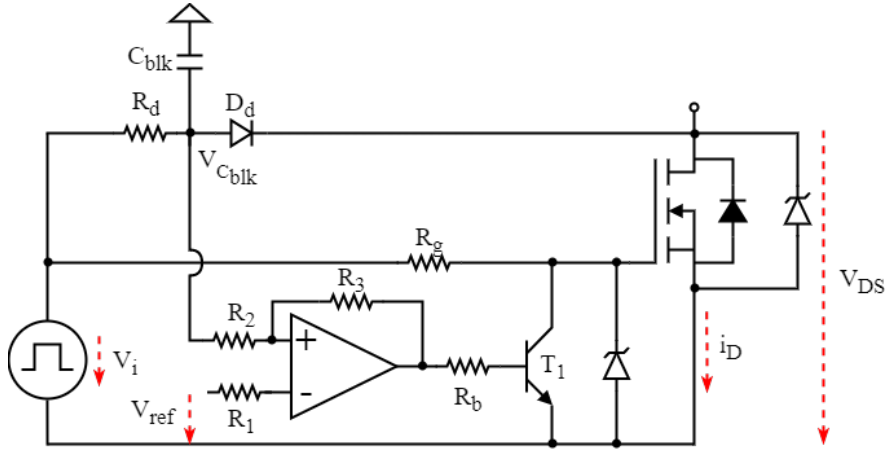


Figura 2.23: Circuito Ativo de Proteção de Sobrecorrente com *blanking time* (Adaptado de [6])

Apesar do circuito da figura 2.23 resolver o problema do circuito da figura 2.22, adiciona uma agravante, associada ao facto de a malha RC providenciar o referido atraso sempre que ocorrer uma variação da tensão em $V_{C_{blk}}$. Esta situação requer especial atenção na ocorrência de falhas do tipo FUL, devido à existência de um atraso adicional, na inibição do sinal de proteção, aquando o aumento da tensão $V_{DS_{on}}$.

2.6.8.3 Circuito Ativo de Proteção de Sobrecorrente Baseado em Múltiplas Tensões de Porta

Como alternativa aos circuitos apresentados em 2.6.8.2, mas baseando-se na mesma abordagem, o circuito da figura 2.24 realiza a mesma função, recorrendo para tal a díodos Zener. A tensão de Z_1 é seleccionada de acordo com o valor de V_{CE} a partir do qual a proteção deve ativar.

Em operação normal [9]:

A aplicação do sinal na porta comuta o dispositivo à condução, colocando o diodo D diretamente polarizado, por R_1 . A tensão em P é igual à q.d.t V_{CE} em adição à q.d.t. do diodo D.

Na ocorrência de sobrecorrente [9]:

A tensão V_{CE} aumenta, excedendo a tensão, em P, o valor definido por Z_1 . Z_1 , ao ver a tensão no cátodo exceder o valor de ruptura máxima, conduz, comutando T2 e efetuando o *clamp* da tensão em P, colocando o diodo D inversamente polarizado pois $V_{CE}(\text{sobrecorrente}) > V_{Z1}$.

Com T2 à condução, o diodo Zener Z_2 realiza o *clamp* do terminal de porta do dispositivo, colocando neste um valor de tensão inferior ao inicialmente aplicando, limitando a corrente de coletor a um valor inferior.

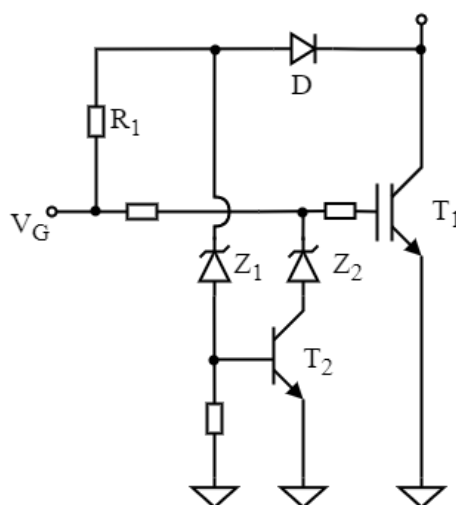


Figura 2.24: Circuito Alternativo de Proteção de Sobrecorrente (Adaptado de [9])

2.7 Proteção de Curto-Circuito - SiC Vs Si

Como analisado anteriormente, as proteções dos semicondutores de potência, apresentam-se, cada vez mais, como uma componente fundamental a qualquer dispositivo, que utilize as funcionalidades de comutação providenciada pelos mesmos. Assim, é importante analisar a capacidade de curto-circuito associada aos semicondutores de potência, por forma a garantir um correto dimensionamento das respetivas proteções.

Dado os MOSFET baseados em SiC possuírem uma área ativa menor, a sua tolerância para suportar o curto-circuito (que constitui uma falha térmica) é tendencialmente menor, quando comparado com as suas contrapartes baseadas em silício. [21]

Em [21], a segunda geração do MOSFET, do pacote TO247, de tensão nominal 1200V, é analisada, possuindo um tempo de suporte do curto-circuito (Short-Circuit Withstand Time (SCWT)) superior a $10\mu s$, para uma tensão do barramento DC de 700V, e $V_{gs} = 18V$. Já para um MOSFET SiC, com área ativa de 3,5mmx3,5mm, tensão nominal de

1200V e resistência específica de $11m\Omega.cm^2$, para uma tensão no barramento DC de 400V e temperatura de cápsula de $25^\circ C$, verificaram-se tempos de suporte do curto-circuito de $80\mu s$, para $V_{GS} = 10V$, e de $50\mu s$, para $V_{GS} = 15V$. [22]

Em [23] realizaram-se ensaios com recurso a MOSFETs SiC, com 400V no barramento DC, para diversos valores de temperatura de cápsula, concluindo que o dispositivo pode ser sujeito a um curto-circuito, sem falha catastrófica, durante, pelo menos $10\mu s$. Adicionalmente, verifica-se que é capaz de suportar tempos de curto-circuito ainda mais elevados, entre $26\mu s$ e $27\mu s$, antes da degradação das propriedades intrínsecas ao carbono de silício. Constata-se igualmente, que a falha deve-se ao facto de a temperatura de junção atingir o seu valor crítico. Fazendo uso do MOSFET C2M0080120D, com tensão e corrente nominal de 1200V e 36A respetivamente, no pacote TO247, da *CREE*, em [24] realizaram-se ensaios, com o dispositivo a operar sob condições de curto-circuito, para tensões de barramento DC de 600V e 800V com temperatura de cápsula de $75^\circ C$ e $150^\circ C$, com $V_{GS} = 19V$ e $V_{GS} = 16V$, respetivamente.

Neste verificou-se que:

- No final do curto-circuito, existe uma alteração da inclinação da evolução temporal da corrente de dreno. Assim, a corrente apresenta um coeficiente de temperatura positivo, levando à falha catastrófica por excesso de temperatura;
- O fenómeno verificado, na comutação ao corte, dos dispositivos IGBT (bipolares), denominado de *tail current*, é também observado no MOSFET SiC;

Este efeito deve-se ao facto de os dispositivos MOSFET SiC, ao possuírem um volume menor, comparativamente aos de Si, estarem sujeitos a temperatura superiores, perante as mesmas condições de curto-circuito e potência dissipada. Assim, a contribuição das lacunas, pode ser explicada do seguinte modo:

- A elevada temperatura, atingida no interior do semicondutor, promove o aumento significativo da corrente de fugas, que por sua vez permite a passagem à condução do transístor *npn* parasita, permitindo a passagem de lacunas pelo terminal da base.

Com base neste estudo, constata-se que a falha do dispositivo, possui como génese, dois mecanismos distintos, consoante o valor da potência dissipada, que impacta a velocidade do aumento da temperatura:

- Se o nível de potência dissipada no dispositivo for elevado, o aumento de temperatura conseqüente promove o aumento da corrente de fugas até ao valor crítico, o que permite a passagem à condução do transístor *npn* parasita. Tal,

leva a uma aumento descontrolado da corrente de dreno, e à conseqüente falha catastrófica, devido ao nível elevado de potência a ser dissipada pelo dispositivo, num curto espaço temporal;

- Se o aumento da potência dissipada, pelo dispositivo, possuir uma evolução positiva, gradual, o aumento de corrente é também ele constante, promovendo a degradação gradual, e irreversível, das propriedades físicas do carboneto de silício dos terminais da porta e fonte. Tal, tem como principal conseqüência uma redução permanente na capacidade de conduzir corrente e/ou impossibilidade do dispositivo de passar novamente à condução;

Desta forma, é possível concluir que o tempo de suporte do curto-circuito, assim como a energia crítica do MOSFET, são inversamente proporcionais à densidade de corrente, temperatura da cápsula e tensão do barramento DC.

2.8 Amplificadores Operacionais

Atualmente, o amplificador operacional é um dispositivo eletrônico que está completamente integrado na generalidade das aplicações de pequena potência. [25] Dado o foco de estudo do presente trabalho recorrer a um destes dispositivos, é necessário proceder à caracterização do mesmo, bem como introduzir o seu funcionamento e funções básicas.

2.8.1 Conceitos Fundamentais sobre Amplificadores Operacionais

Considerando o amplificador operacional ideal, figura 2.25a, este pode ser modelado por uma fonte de tensão controlada em tensão, representado na figura 2.25b, sendo a tensão de saída dada por:

$$V_O = A_d V_d = A_d (V^+ - V^-) \quad (2.14)$$

onde A_d representa o ganho diferencial ou de cadeia aberta, V_d a tensão diferencial de entrada e V^+ e V^- as tensões de entrada não inversora e inversora, respetivamente.

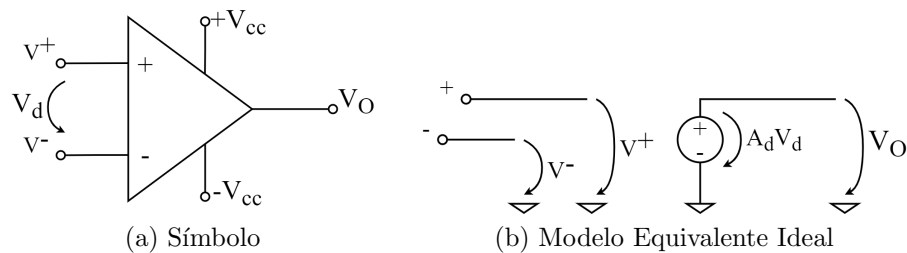


Figura 2.25: Amplificador Operacional (Adaptado de [25])

A relação entre o ganho e a frequência é dada, de forma genérica, pela figura 2.26, e deve-se à necessidade de garantir a estabilidade do amplificador para diversas gamas de malhas de realimentação. Devido ao elevado valor de A_d a escala do ganho apresenta-se em dB, sendo o mesmo dado por:

$$|A_d| = 20 \times \log_{10} \left| \frac{V_O}{V_d} \right| (dB) \quad (2.15)$$

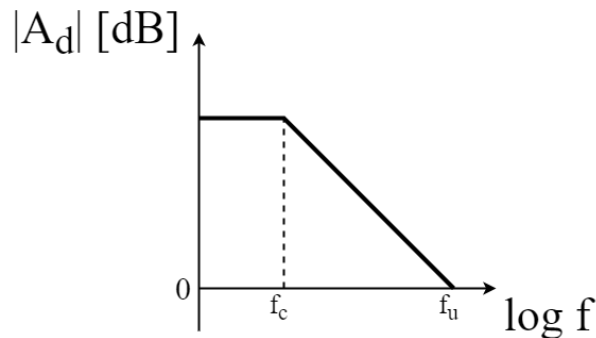


Figura 2.26: Representação Qualitativa do Ganho Diferencial em Função da Frequência num Amplificador Operacional Real (Adaptado de [25])

À região entre o valor nulo de frequência e a frequência de corte, f_c , dá-se o nome de largura de banda. A partir de f_c , o ganho decresce a uma taxa de 20dB/década, até alcançar a frequência de ganho unitário, f_u . A expressão que permite relacionar estas duas frequências, com o ganho, é dada por:

$$f_u = f_c A_d \quad (2.16)$$

Das características do modelo ideal do amplificador operacional destacam-se:

- Impedância de entrada diferencial entre os terminais não inversor e inversor, Z_d , infinita;
- Impedância de saída, Z_O , nula;
- Ganho diferencial, A_d , infinito e independente da frequência;
- Correntes de entrada nulas;

2.8.2 Circuito Comparador com Histerese Não Inversor

Aos amplificadores operacionais com realimentação positiva denominam-se de comparadores regenerativos ou com histerese. Na figura 2.27 encontra-se a representação deste circuito.

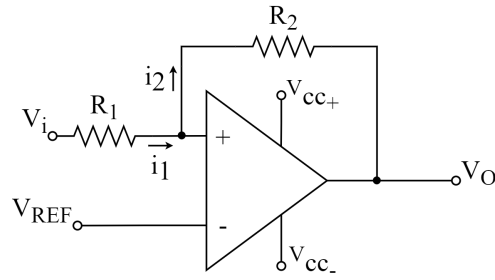


Figura 2.27: Amplificador Operacional com Realimentação Positiva (Adaptado de [25])

A função transferência V_O/V_i , deste circuito, pode ser obtida de acordo com a equação fundamental do amplificador operacional, (2.14), onde, de acordo com a lei das correntes de *Kirchhoff* e pelo teorema da sobreposição, considerando $V_{REF} = 0$, tem-se:

$$V^- = V_{REF} = 0 \quad (2.17)$$

$$\begin{aligned} i_1 &= i_2 \\ \frac{V_i - V^+}{R_1} &= \frac{V^+ - V_O}{R_2} \\ V^+ &= \frac{R_1}{R_1 + R_2} V_O + \frac{R_2}{R_1 + R_2} V_i \end{aligned} \quad (2.18)$$

Substituindo (2.17) e (2.18) em (2.14) obtém-se:

$$V_O = A_d \left(\frac{R_1}{R_1 + R_2} V_O + \frac{R_2}{R_1 + R_2} V_i \right) \quad (2.19)$$

Donde resulta a função transferência:

$$\frac{V_O}{V_i} = - \frac{R_2}{R_1 - \frac{R_1 + R_2}{A_d}} \quad (2.20)$$

Considerando a dependência do ganho diferencial com a frequência, nomeadamente o facto de este decrescer com a frequência, figura 2.26, concluí-se que quando se aplica um sinal na entrada não inversora, existe uma frequência elevada que torna o denominador de (2.20) nulo. Consequentemente, o ganho da montagem tende para infinito e a tensão de saída tende para $\pm V_{SAT}$, consoante o sinal da tensão diferencial V_d , apresentado-se o circuito como um comparador.[25]

Como a tensão de saída do comparador tende para um de dois estados possíveis, é necessário determinar as condições para a transição de estado da tensão de saída, em função da tensão de entrada, bem como caracterizar as condições em que tal transição

ocorre. Considerando que existe ajuste do centro da histerese, $V^- \neq 0$, com recurso à equação 2.18 e sendo $V^- = V_{REF}$:

1º Condição de Basculamento

Analisando a condição de basculamento $V_O = V_{cc+}$, ou seja, a condição para a tensão V_O transitar de V_{cc+} para V_{cc-} , tal ocorre quando $V_d < 0$:

$$V_d < 0 \quad (2.21)$$

$$V^+ - V^- < 0 \quad (2.22)$$

$$\frac{R_1}{R_1 + R_2} V_{cc+} + \frac{R_2}{R_1 + R_2} V_i - V_{REF} < 0 \quad (2.23)$$

$$V_i < -\frac{R_1}{R_2} V_{cc+} + \frac{R_1 + R_2}{R_2} V_{REF} \quad (2.24)$$

2º Condição de Basculamento

Analisando a condição de basculamento $V_O = V_{cc-}$, ou seja, a condição para a tensão V_O transitar de V_{cc-} para V_{cc+} , tal ocorre quando $V_d > 0$:

$$V_d > 0 \quad (2.25)$$

$$V^+ - V^- > 0 \quad (2.26)$$

$$\frac{R_1}{R_1 + R_2} V_{cc-} + \frac{R_2}{R_1 + R_2} V_i - V_{REF} > 0 \quad (2.27)$$

Como, $V_{cc-} < 0$,

$$V_i > +\frac{R_1}{R_2} V_{cc-} + \frac{R_1 + R_2}{R_2} V_{REF} \quad (2.28)$$

Nas equações (2.24) e (2.28), o termo $\frac{R_1}{R_2} V_{cc}$ representa a semi-largura da histerese, S_L . O termo $\frac{R_1 + R_2}{R_2} V_{REF}$ representa o centro da histerese, C . É este último que permite realizar a translação segundo o eixo das abcissas, da histerese. Assim, e resumindo:

$$V_O = \begin{cases} V_{cc+} = +V_{SAT}, & \text{até se verificar que } V_i < -S_L + C \\ V_{cc-} = -V_{SAT}, & \text{até se verificar que } V_i > +S_L + C \end{cases} \quad (2.29)$$

A representação das condições de transição de estado num gráfico ortonormado, figura 2.28, produz a curva característica de transferência do circuito comparador em estudo.

Estando a tensão na saída em $V_O = V_{cc+}$, esta apenas transita para $V_O = V_{cc-}$ quando a tensão de entrada verificar a condição $V_i < -S_L + C$. Estando a tensão na saída em $V_O = V_{cc-}$, esta apenas transita para $V_O = V_{cc+}$ quando a tensão de entrada verificar a

condição $V_i > +S_L + C$. O termo $-S_L + C$ representa o limite inferior da histerese, V_{th_L} . O termo $+S_L + C$ representa o limite superior da histerese, V_{th_H} .

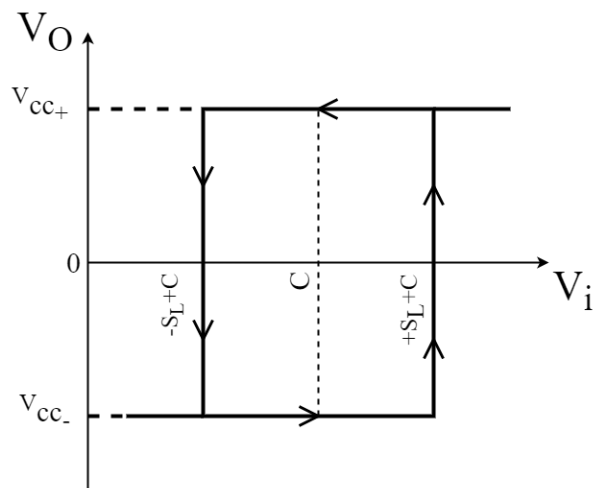


Figura 2.28: Representação Qualitativa Característica de Transferência Entrada-Saída do Comparador Não Inversor com Ajuste do Centro da Histerese (Adaptado de [25])

Um exemplo de aplicação do circuito comparador apresenta-se na figura 2.29. Para um sinal de entrada com evolução sinusoidal, verifica-se a comutação de V_O entre $\pm V_{cc}$, quando a tensão de entrada intersesta o ponto de basculamento superior ou inferior.

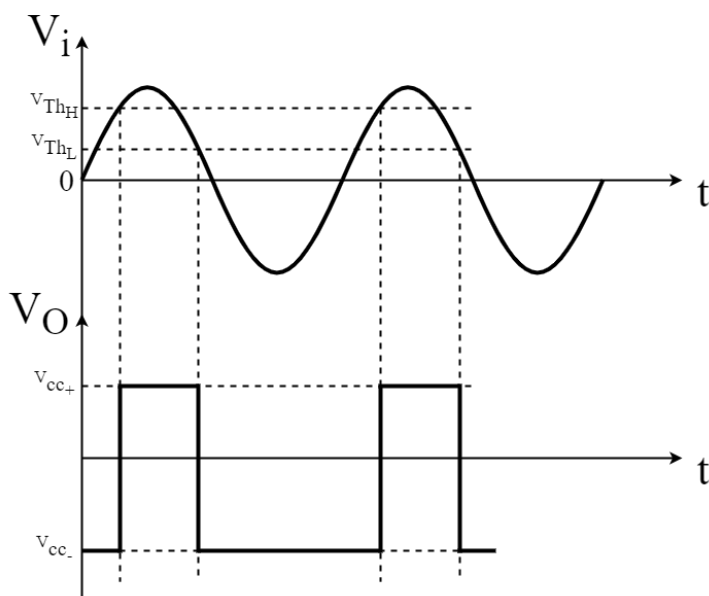


Figura 2.29: Evoluções Temporais Qualitativas de Funcionamento do Comparador Não-Inversor (Adaptado de [25])

Capítulo 3

Topologia do Circuito Alvo de Estudo

O presente capítulo em 3.1 introduz de forma genérica as funcionalidades da topologia do circuito proposto. Em 3.2 as partes constituintes deste circuito são apresentadas.

circuitos, introduzidos nas secções posteriores. Consoante a parametrização destes sinais de entrada, o dispositivo DUT pode ser sujeito a condições, características de curto-circuito, durante o seu período de condução normal (FUL) ou comutar à condução com estas condições pré-existentes (HSF).

3.2.1 Circuito de Potência

Comportando-se o dispositivo semiconductor como um interruptor comandado por tensão, com o fecho do dispositivo auxiliar (passagem deste à condução), a corrente $i(t)$, do circuito RL, sofre um regime transitório, descrito pela equação (3.1).

$$\begin{cases} i_{dc}(t) = \frac{U_{dc}}{R_{DC}} \left(1 - \frac{R_{AUX}}{R_{AUX} + R_{DC}} e^{-\frac{t}{\tau}}\right) \\ \tau = \frac{L_{DC}}{R_{DC}} \end{cases} \quad (3.1)$$

Devido ao efeito do circuito de proteção, o dispositivo DUT é comandado ao corte (abertura do circuito). Idealmente, ao abrir-se este interruptor, a corrente anular-se-ia, sendo a derivada lateral da corrente, $i(t^+) = 0$, onde t representa o instante em que o DUT comuta ao corte. No entanto tal premissa é impossível de se verificar, pois a corrente, num elemento indutivo, constitui uma variável de estado, não podendo ser alvo de descontinuidades, ou seja, $i(t^+) = i(t^-) = i(t)$. Como a tensão no elemento indutivo é dada por $U = L_{DC} \frac{di}{dt}$, uma variação instantânea, na corrente que o percorre, provoca uma tensão infinita aos terminais do mesmo, dado a derivada da corrente existir, mas ser infinita nesse instante. Se tal situação se verificar, imediatamente após a comutação ao corte do DUT, surge aos terminais do mesmo, uma tensão elétrica excessiva, podendo provocar a disrupção do ar, originado o aparecimento de um canal ionizado, ou arco elétrico. [26]

Para colmatar esta agravante, recorre-se à colocação de um díodo de proteção de interrupções, em anti-paralelo com o ramo RL, e comumente designado de díodo roda livre. Com este díodo, quando o DUT comuta ao corte, a corrente na bobina, positiva, não anula-se instantaneamente, circulando pelo caminho alternativo providenciado pelo mesmo, que fica diretamente polarizado.

3.2.2 Circuito Ativo de Proteção de Sobrecorrente

Na figura 3.2 encontra-se a montagem correspondente ao circuito de proteção ativa proposto. Como apresentado no capítulo 2, tanto o MOSFET SiC como o IGBT Si apresentam uma resistência equivalente à condução. Consequentemente, e em função da curva característica de saída, $i_D = f(v_{DS})$ ou $i_C = f(v_{CE})$, a queda de tensão, aos terminais

destes dispositivos, pode ser utilizada como forma de averiguar se o dispositivo encontra-se em condições de curto-circuito.

A figura 3.3 permite a visualização das curvas de saída dos dispositivos acima mencionados. Com base nas informações providenciadas pelas curvas de saída é possível definir o nível de queda de tensão, aos terminais do dispositivo, a partir do qual a proteção é acionada.

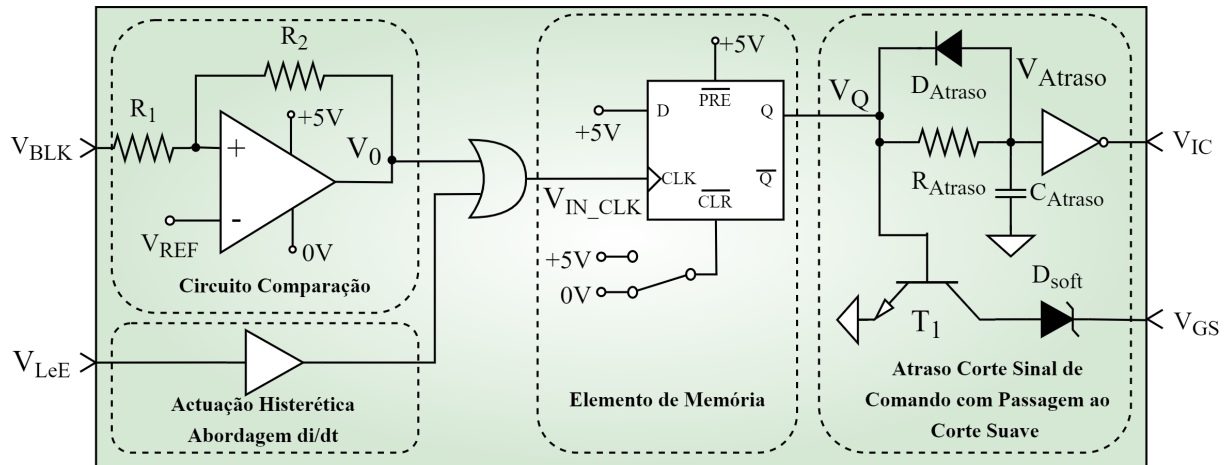
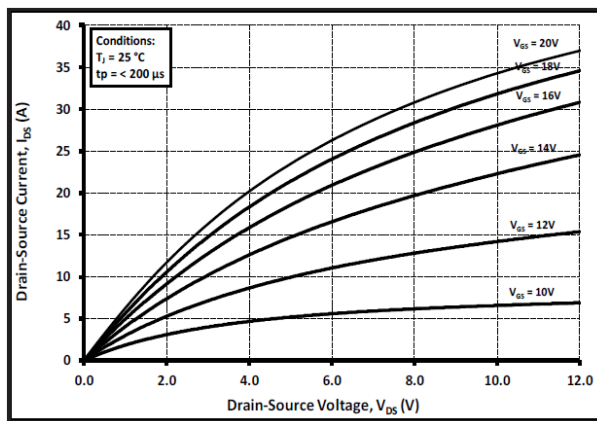
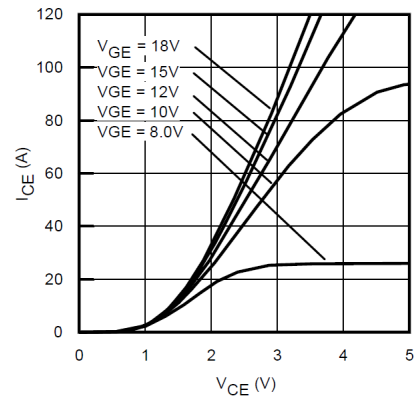


Figura 3.2: Representação Esquemática Circuito Proteção Ativa de Sobrecorrente



(a) SiC MOSFET - C2M0160120D



(b) Si IGBT - IRGPS60B120KDP

Figura 3.3: Curva Característica de Saída com $T_j = 25^\circ C$

Circuito Comparação

Para realização da averiguação da queda de tensão aos terminais do dispositivo, o circuito de proteção, proposto neste trabalho, e representado na figura 3.2, faz uso de um comparador histerético, de realimentação positiva, permitindo, além de efetuar imunização ao ruído, a existência de dois pontos de basculamento. Consequentemente, é necessário

3.2. Princípio de Funcionamento Circuito de Proteção

proceder à definição da expressão que permite relacionar os valores de tensão na entrada, com a saída do comparador.

Considere-se o modelo ideal do amplificador operacional, descrito em 2.8.2, representado na figura 3.4, com as condições de basculamento do mesmo presentes na figura 3.5.

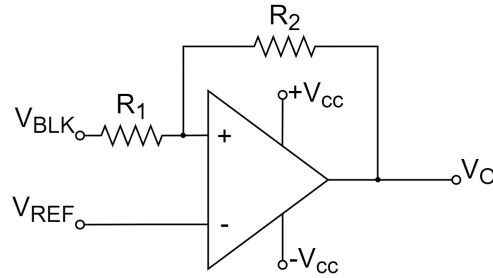


Figura 3.4: Circuito Comparador Não Inversor com Ajuste do Centro da Histerese

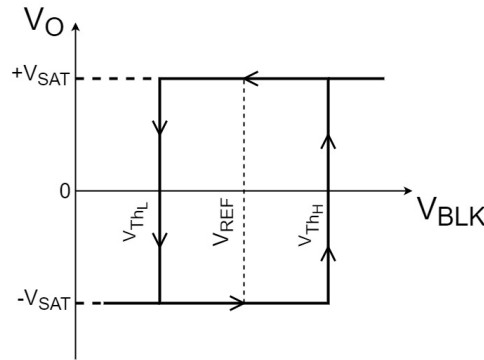


Figura 3.5: Característica de Transferência Entrada-Saída do Comparador Não Inversor com Ajuste do Centro da Histerese

Com base no abordado na secção 2.8, na saída V_O tem-se:

$$V_O = \begin{cases} V_{CC+} = +V_{SAT}, & \text{até se verificar que } V_{BLK} < V_{thL} \\ V_{CC-} = -V_{SAT}, & \text{até se verificar que } V_{BLK} > V_{thH} \end{cases} \quad (3.2)$$

Para o dimensionamento da histerese, e de forma genérica, sendo $V^+ = V^-$ o ponto de basculamento imediatamente antes de ocorrer basculação (ainda se está perante a condição de basculamento), da análise com recurso à lei das correntes de *Kirchhoff* obtém-se:

$$\frac{V_{BLK} - V^+}{R_1} = \frac{V^+ - V_O}{R_2} \quad (3.3)$$

$$\frac{1}{R_1} V_{BLK} + \frac{1}{R_2} V_O = \left(\frac{1}{R_2} + \frac{1}{R_1} \right) V^+ \quad (3.4)$$

Logo,

$$V^+ = \frac{R_2}{R_1 + R_2} V_{BLK} + \frac{R_1}{R_1 + R_2} V_O \quad (3.5)$$

Como,

$$V^+ = V^- \wedge V^- = V_{REF}$$

Então,

$$V_{REF} = \frac{R_2}{R_1 + R_2} V_{BLK} + \frac{R_1}{R_1 + R_2} V_O \quad (3.6)$$

1º Condição de Basculamento

Analisando a condição de basculamento $V_O = +V_{CC}$, ou seja, a condição para a tensão V_O transitar de $+V_{CC}$ para $-V_{CC}$, tem-se:

$$\begin{cases} V_{REF} &= \frac{R_2}{R_1+R_2} V_{BLK} + \frac{R_1}{R_1+R_2} V_{CC+} \\ V_{BLK} &= V_{thL} \end{cases} \quad (3.7)$$

Desta forma,

$$V_{thL} < V_{DSon} + V_{F_{sense}} \quad (3.8)$$

Onde a tensão V_{DSon} representa a queda de tensão ao terminais do DUT, no período de condução normal, sem a existência de curto-circuito, e $V_{F_{sense}}$ a q.d.t do díodo D_{sense} diretamente polarizado.

2º Condição de Basculamento

Analisando a condição de basculamento $V_O = -V_{CC}$, ou seja, a condição para a tensão V_O transitar de $-V_{CC}$ para $+V_{CC}$, tem-se:

$$\begin{cases} V_{REF} &= \frac{R_2}{R_1+R_2} V_{BLK} + \frac{R_1}{R_1+R_2} V_{CC-} \\ V_{BLK} &= V_{thH} \end{cases} \quad (3.9)$$

Desta forma, V_{thH} deve ser superior ao valor do pico de tensão, observado em V_{BLK} durante a comutação à condução, consequência do dispositivo não encontrar-se na zona de saturação.

Tendo definido as expressões das condições de basculamento, é agora possível obter a relação entre a resistência de entrada (R_1) e a resistência presente na realimentação positiva (R_2). Assim, e sabendo que:

$$\begin{cases} V_{REF} &= \frac{R_2}{R_1+R_2} V_{thL} + \frac{R_1}{R_1+R_2} V_{CC+} \\ V_{REF} &= \frac{R_2}{R_1+R_2} V_{thH} + \frac{R_1}{R_1+R_2} V_{CC-} \end{cases} \quad (3.10)$$

Obtém-se:

$$\frac{R_2}{R_1} = \frac{V_{CC+} - V_{CC-}}{V_{thH} - V_{thL}} \quad (3.11)$$

O valor da tensão V_{thH} , a utilizar na entrada inversora do comparador, deve corresponder ao valor de tensão da transição entre a zona de resistência constante e corrente constante. Apesar de nos dispositivo à base de silício tal não suscitar problemas, o mesmo não se verifica nos dispositivos baseados em carboneto de silício, dado esta zona não ser bem definida, como é possível observar na figura 3.3a. Assim, nesta situação, o valor de V_{thH} deve ser selecionado de forma a garantir que o DUT funciona dentro da sua Safe Operating Area (SOA), antes da ativação do circuito. Tendo em conta que a potência máxima dissipada ($P_d(máx)$) pelo dispositivo é de $P_d(máx) = 125W$:

Sabendo que,

$$P_d = I_D V_{ds}(on) \quad (3.12)$$

De acordo com a curva característica de saída, da figura 3.3a, e sendo $I_D(máx) = 18A$:

$$\begin{cases} P_d &= 18 \times 6 \\ &= 108W \end{cases}$$

Logo, como $P_d < P_d(máx)$, $V_{thH} = 6V$.

Elemento de Memória

A realização da memória do estado de falha é concretizada por recurso a um elemento de memória do tipo D, com sinal de habilitação substituído por um sinal de relógio (CLK) bem como sinais de *Reset*(CLR) e *Set*(PRE) negados. A tabela de verdade da *latch* com habilitação encontra-se na Tabela 3.1, onde Q^{n+1} representa a saída no instante n+1 (imediatamente posterior à ação a executar), e Q_n representa a saída no instante n (anterior à ação a executar).

Tabela 3.1: Tabela de Funcionamento da *latch* D com habilitação

\overline{PRE}	\overline{CLR}	CLK	D	Q^{n+1}
0	1	X	X	H(1)
1	0	X	X	L(1)
0	0	X	X	H(indefinido)
1	1	1	1	1
1	1	1	0	0
1	1	0	X	Q_n

Como representado na figura 3.2, as entradas D e $\overline{\text{PRE}}$ encontram-se alimentadas a +5V, de modo a que a entrada D assuma o nível lógico 1, e que a entrada $\overline{\text{PRE}}$, por se encontrar negada, assuma o nível lógico 1 (0V) por inversão do nível lógico 0 (+5V). Já a entrada $\overline{\text{CLR}}$, quando alimentada a +5V (nível lógico 0) permite o acesso do sinal de comando (CLK) da *latch* à parte do circuito que memoriza. Já a colocação desta entrada no seu nível lógico 1 (0V) permite limpar o estado lógico previamente guardado na *latch*.

Desta forma, o sinal de saída é transparente ao primeiro sinal CLK de nível lógico 1, memorizando este estado lógico, e colocando-o na saída.

Atraso Corte Sinal de Comando e Passagem ao Corte Suave

O último elemento do circuito de proteção da figura 3.2 faz uso de uma malha RC, com a colocação de um diódo em paralelo com o elemento resistivo, por forma a remover-se o atraso na descarga da capacidade, em associação com um *Buffer Schmitt Trigger Inversor*.

Esta componente do circuito possui funcionalidade dupla, na medida em que além de permitir um atraso no corte do sinal de comando, garante igualmente que, durante o período temporal corresponde ao atraso programado, verifica-se o efeito do diódo Zener D_{soft} que providência a ação de corte suave, onde a tensão do terminal da porta é reduzida para um valor dado pelo diódo D_{soft} , e não para um valor nulo. Este circuito garante igualmente que não são aplicados novos impulsos de comando, após a ocorrência de um evento de curto-circuito. A evolução da tensão V_{atraso} é dada por:

$$\begin{cases} V_{atraso} = V_Q(1 - e^{-\frac{t}{\tau}}) \\ \tau = R_{atraso}C_{atraso} \end{cases} \quad (3.13)$$

3.2.3 Circuito Detecção de Sobrecorrente Baseado na Abordagem di/dt

O circuito da figura 3.6, atua como um elemento de proteção redundante, contra a ocorrência de eventos anómalos no funcionamento do circuito. Este baseia-se na averiguação da taxa de variação da corrente, no elemento indutivo L_{eE} , e previamente introduzido em 2.6.6.4. A presente adaptação deste conceito, recorre a um diódo, D_{eE} , para bloqueio de correntes inversas, existindo uma associação RC paralelo, composto pela capacidade C_{eE} e pela resistência R_{eE} , para prevenção de oscilações na tensão V_{LeE} .

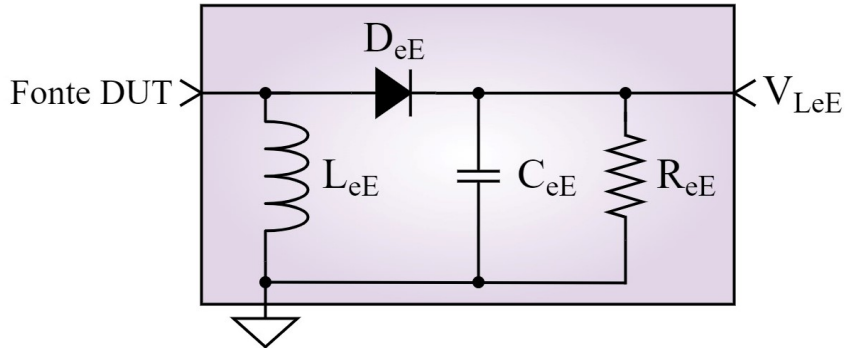


Figura 3.6: Representação Esquemática Circuito Proteção de Sobrecorrente Baseado na Taxa de Variação de Corrente

A tensão, no terminal da fonte do DUT, é dada por:

$$V_S = L_{eE} \frac{di}{dt} \quad (3.14)$$

Assim, e sendo $V_{F_{DeE}}$ a queda de tensão aos terminais do diodo diretamente polarizado, a tensão em V_{LeE} é definida como:

$$V_{LeE} = V_S - V_{F_{DeE}} \quad (3.15)$$

Por observação da figura 3.2 constata-se que o sinal V_{LeE} é enviado para um *Buffer Schmitt Trigger*, não inversor, para conferir um limite de atuação histerético. Este sinal, é posteriormente averiguado, pelo elemento de memória, do circuito de proteção, por meio de uma porta lógica OU, com o sinal do circuito de comparação.

3.2.4 Circuito *Blanking Time*

Díodo D_{sense}

O díodo D_{sense} , representado nas figuras 3.7 e 3.8, também denominado de díodo de dessaturação, tem como função, com o dispositivo do andar inferior à condução, permitir a passagem de corrente, para monitorização da queda de tensão ao terminais do dispositivo, e com este ao corte, bloquear a tensão nominal U_{dc} do circuito.

Durante a comutação ao corte do DUT, e no fim da condução direta do díodo, verifica-se, durante um determinado período, uma corrente de recuperação inversa. Este efeito tem como consequência a inabilidade, por parte do díodo, em alcançar a sua capacidade de bloqueio nominal, enquanto os portadores de carga da junção PN do mesmo não se recombinarem. Durante este período, existe um elevado $\frac{dv}{dt}$, resultando numa corrente

dada por, $I_{D_{sense}} = C_{D_{sense}} \frac{dV_{DS}}{dt}$, que carrega a capacidade C_{BLK} . Assim, para minimização desta corrente, provocado pelo evento transitório de tensão, da comutação ao corte, o diodo D_{sense} deve ser do tipo rápido, com um tempo de recuperação inversa menor que 100ns.

Malha RC de *Blanking Time*

O circuito de *blanking time*, representado na figura 3.7, faz uso de uma malha RC, para criação de um atraso entre a aplicação da tensão de comando, e a leitura da tensão aos terminais do dispositivo, por meio do diodo D_{sense} , de modo a garantir que não existe um disparo intempestivo, do circuito de proteção, na transição à condução do DUT (instante em que este não se encontra na zona de saturação). Desta forma, a capacidade C_{BLK} carrega-se, e previne a averiguação da tensão V_{DS} (devido às oscilações da mesma), durante esta transição.

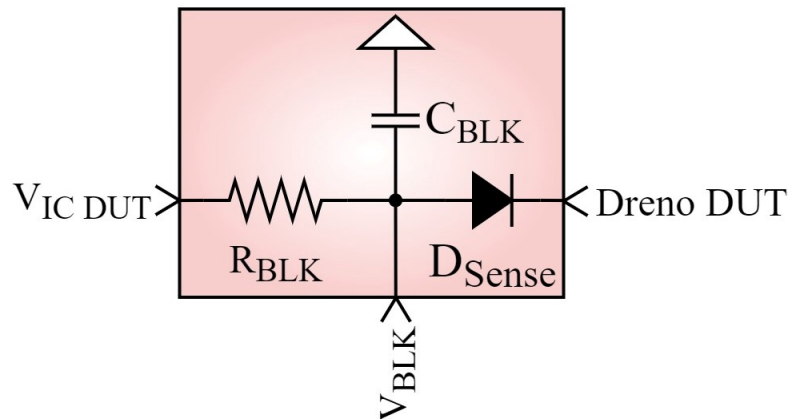


Figura 3.7: Representação Esquemática Circuito de Detecção de Sobrecorrente por Malha RC de *Blanking Time*

A duração deste atraso deve ser definida de acordo com as características de comutação do dispositivo. No caso concreto do MOSFET SiC, ao tempo que o dispositivo requer para comutar à condução ($t_d(on)$) deve ser acrescentado um período adicional, na mesma ordem de grandeza, mas substancialmente superior. Assim,

$$\begin{cases} t_{BLK}[ns] &= t_d(on) + t_{adicional} \\ &= 7 + 250 \\ &= 257 \end{cases} \quad (3.16)$$

Circuito Alternativo de *Blanking Time*

Na figura 3.8 encontra-se a montagem correspondente ao circuito de *blanking time* alternativo.

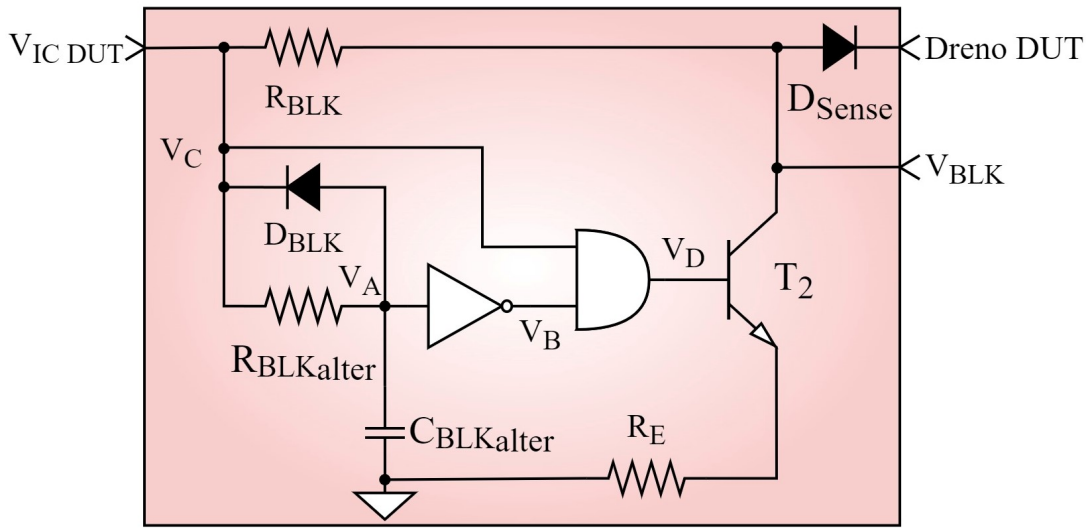


Figura 3.8: Representação Esquemática Circuito de Detecção de Sobrecorrente por Circuito Alternativo de *Blanking Time*

A utilização da malha RC, para realização do *blanking time*, possui a agravante de, em adição ao atraso providenciado na leitura da queda de tensão, aos terminais do dispositivo, quando este passa do estado de corte para a condução (necessário, devido ao semicondutor apresentar uma queda de tensão elevada, por não estar em funcionamento na zona de saturação) também providenciar um atraso, sempre que a tensão aos terminais do dispositivo aumentar, nomeadamente quando ocorre um curto-circuito no sistema em que o dispositivo se insere, situação onde verifica-se uma taxa de crescimento da corrente elevada. Assim, e com o objetivo de remover a influência do atraso da malha RC, assim que o dispositivo entrar no estado de condução, propõe-se o circuito presente na figura 3.8. A evolução temporal, teórica, das tensões representadas neste circuito apresenta-se na figura 3.9.

Aquando a aplicação do sinal de comando, para passagem à condução do DUT, a malha RC do circuito alternativo providencia um atraso no crescimento da tensão de comando, presente em V_C . A evolução da tensão V_A pode ser definida como:

$$\begin{cases} V_A = V_C(1 - e^{-\frac{t}{\tau}}) \\ \tau = R_{BLK}C_{BLK} \end{cases} \quad (3.17)$$

O circuito lógico faz uso de lógica invertida, de modo a ter-se em V_D um sinal positivo, para condução do transistor. Desta forma, a entrada não inversora do comparador, do circuito de proteção, encontra-se ligado à massa enquanto a tensão em V_A não atingir o valor mínimo de tensão de entrada que ainda é considerado nível lógico 1, V_{IH} , do

Buffer Schmitt Trigger Inversor. Com o alcance de V_{IH} , em V_A , o sinal de saída do *Buffer Schmitt Trigger* Inversor é nulo, colocando o transístor ao corte, e consequentemente, permitindo a averiguação da tensão V_{BLK} , por parte do comparador, apenas com o atraso providenciado pela capacidade intrínseca do transístor.

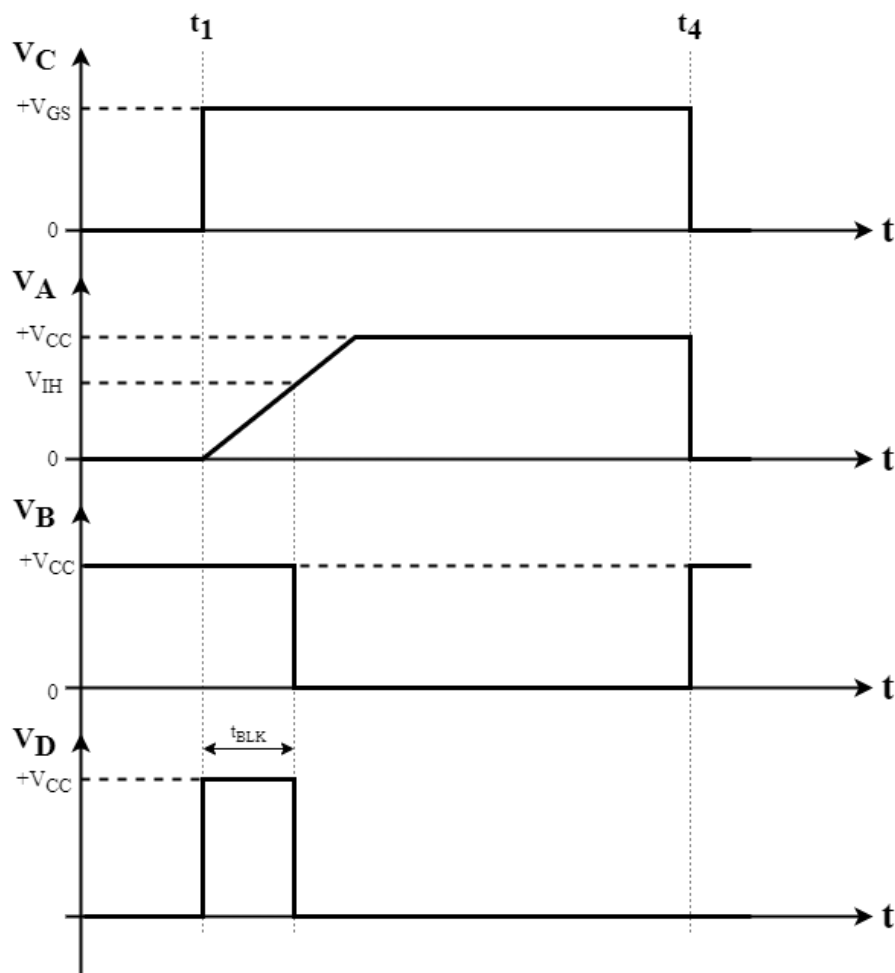


Figura 3.9: Representação Qualitativa da Evolução Temporal das Tensões V_A, V_B, V_C e V_D

3.2.5 Circuito de Proteção de Sobretensão

A realização de comutações rápidas, na presença de correntes de dreno elevadas, produz sobrelevações de tensão excessivas devido à existência de indutâncias parasitas no circuito. Perante tal situação, propôs-se o circuito da figura 3.10.

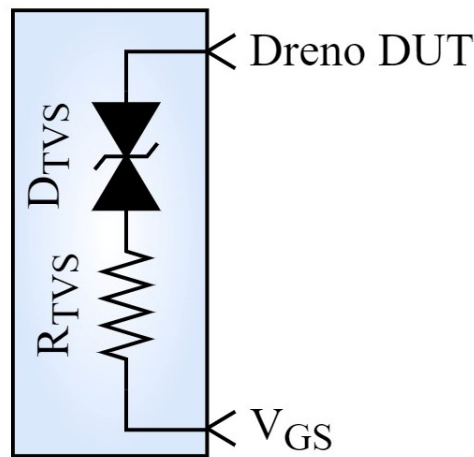


Figura 3.10: Representação Esquemática Circuito de Proteção de Sobretensão

Este é composto por um diodo Supressor de Tensão no Transitório (TVS), bidirecional, D_{TVS} , em associação com uma resistência, R_{TVS} . Com a presença de um sinal de comando no terminal da porta do semiconductor, o diodo D_{TVS} bloqueia a tensão de comando. Quando o sinal de comando deixa de ser aplicado no semiconductor, procede-se à abertura do canal de condução para este passar ao corte. Conseqüentemente, por forma a anular a corrente que se encontra na malha principal (devido à energia armazenada no elemento indutivo), é necessário aplicar uma tensão negativa na indutância, ou seja, a tensão no terminal dreno/coletor tem de aumentar para um valor que permita a anulação da corrente. Se a tensão V_{CE} / V_{DS} , aos terminais do mesmo, for superior à tensão nominal do diodo D_{TVS} , tal permite a injeção de corrente no terminal de comando do semiconductor, colocando-o novamente à condução, permitindo a redução da q.d.t aos terminais do mesmo. À resistência R_{TVS} compete limitar o ganho do circuito, por regulação da corrente, diminuindo as oscilações.

3.2.6 Funcionamento Circuito de Potência com Proteção de Sobrecorrente

Tendo apresentado o princípio de funcionamento do circuito, nas figuras 3.11 e 3.12 encontra-se a evolução temporal teórica, das tensões e correntes preponderantes, por forma a descrever a simbiose entre o circuito de potência e o circuito de proteção do mesmo, nas condições de FUL e utilizando o método de criação de *blanking time* por malha RC.

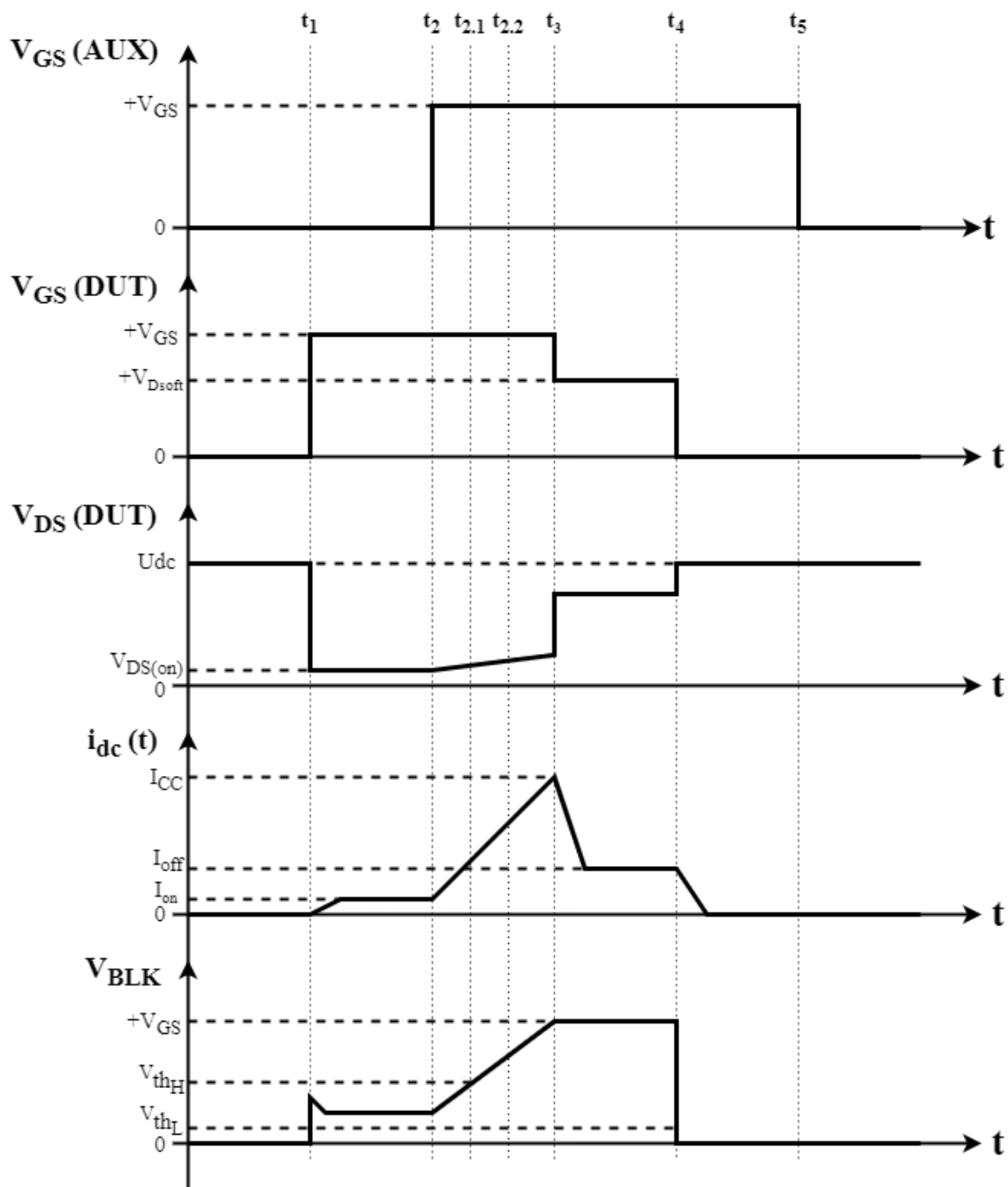


Figura 3.11: Representação Qualitativa da Evolução Temporal das Tensões e Corrente do Circuito de Potência e Proteção

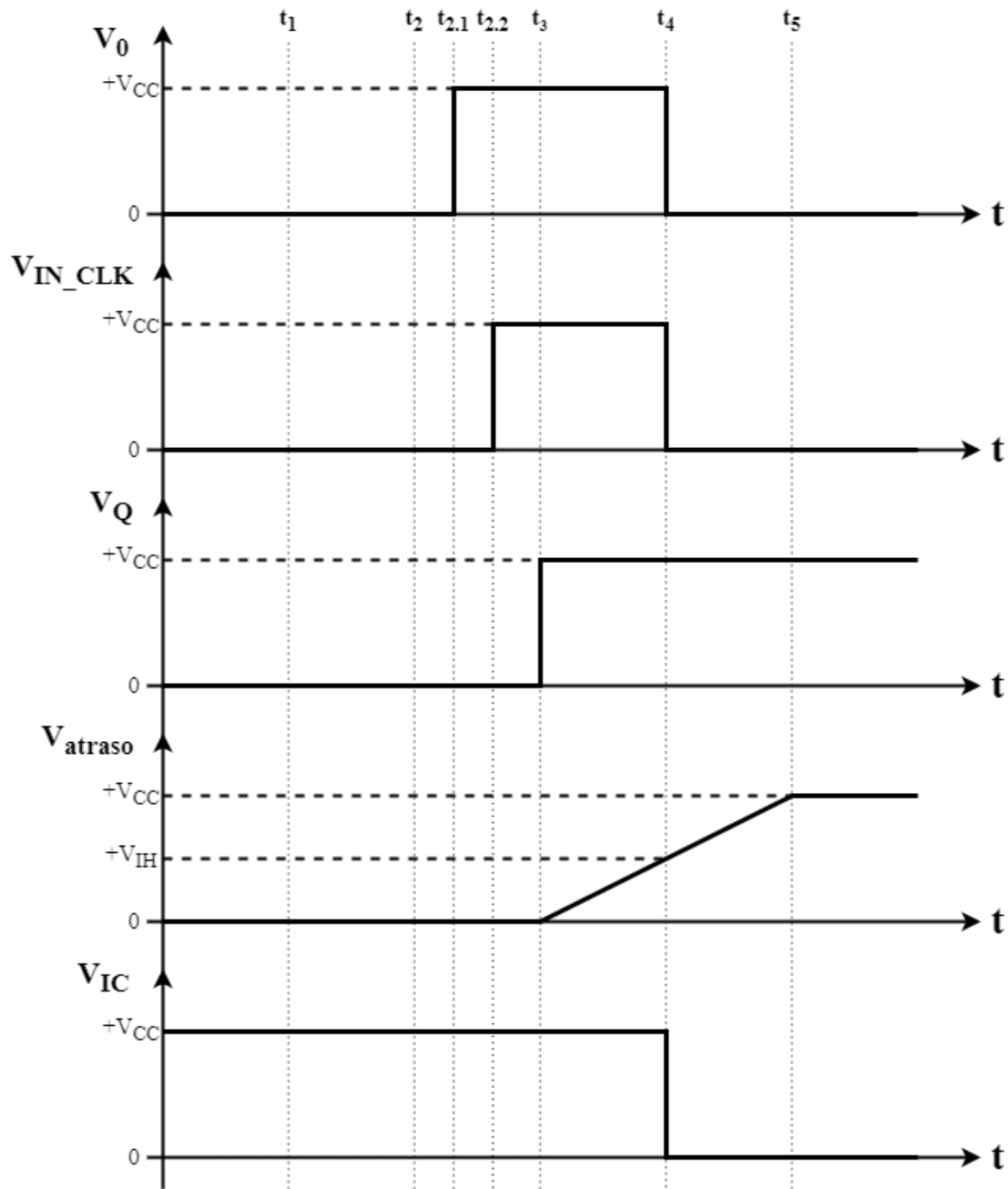


Figura 3.12: Representação Qualitativa da Evolução Temporal das Tensões e Corrente do Circuito de Potência e Proteção (Continuação)

Instante 0 a t_1 :

- Com o semicondutor de potência auxiliar ao corte, a corrente irá percorrer o ramo em paralelo com o mesmo, por meio da resistência R_{AUX} ;
- No terminal dreno do DUT encontra-se aplicado a tensão dada pela fonte DC, estando o diodo D_{sense} inversamente polarizado, dado $V_{GS} < V_{DS} \wedge V_{DS} = U_{dc}$;

Instante t_1 :

- Colocação DUT à condução, por aplicação do sinal de comando no terminal da porta;
- Verifica-se uma sobrelevação na tensão V_{BLK} , devido à queda de tensão elevada, aos terminais do dispositivo, dado o mesmo não encontrar-se na zona de saturação;
- Deste modo, o limite superior da histerese do comparador, V_{th_H} , deve ser superior à sobrelevação inicial de V_{BLK} , quando o DUT comuta à condução;
- Nesta transição, a malha RC de *blanking time*, providencia um atraso, por parte da entrada do comparador, na averiguação da tensão V_{BLK} , para prevenção de disparos intempestivos por parte do circuito de proteção;

Instante t_1 a t_2 :

- Período de condução normal, com $V_{DS}(on)$ dado pela curva característica do dispositivo, da figura 3.3. Por sua vez a corrente de dreno do DUT é dada pelo quociente entre a tensão DC, aplicada no circuito de potência, e o somatório de R_{AUX} com R_{DC} ;
- Com o DUT à condução, a tensão em V_{BLK} é dada por:

$$V_{BLK} = V_{DS}(on) + V_{F_{sense}} \quad (3.18)$$

- O diódo D_{sense} encontra-se diretamente polarizado dado $V_{BLK} > V_{DS}(on)$

Instante t_2 :

- Aplicação do sinal de comando no terminal da porta do dispositivo auxiliar, para passagem à condução do mesmo;
- Dado a existência do caminho alternativo, por meio do dispositivo auxiliar, verifica-se uma redução no valor de resistência total do circuito, ficando o mesmo dependente apenas do valor da resistência R_{DC} ;

Instante t_2 a t_3 :

- Em consequência da passagem à condução do semiconductor de potência auxiliar, surge um curto-circuito aos terminais da resistência R_{AUX} . Tal promove um aumento da corrente, por diminuição da resistência, dado pela equação (3.1);

- Este aumento de corrente providencia um aumento da tensão $V_{DS(on)}$, na proporção dada pela curva característica do dispositivo;

Instante t_2 a $t_{2.1}$:

- Com a ocorrência do evento de curto-circuito, ocorre o aumento da queda de tensão aos terminais do dispositivo, $V_{DS(on)}$, até que $V_{BLK} > V_{thH}$;

Instante $t_{2.1}$:

- No instante em que a tensão V_{BLK} supera o limite superior da histerese do comparador, este comuta para a condição de basculamento $+V_{CC}$;

Instante $t_{2.2}$:

- Devido aos atrasos de propagação do sinal, apenas neste instante é que o sinal de saída do comparador atinge a entrada do elemento de memória;

Instante t_3 :

- Neste instante, a saída não inversora do elemento de memória tipo D, atinge o estado lógico 1, devido ao alcance de um nível de tensão, na entrada, superior ao valor mínimo de tensão que ainda é considerado nível lógico 1 (V_{IH});
- Desta forma, o TBJ é colocado à condução, permitindo a ligação do ânodo do diodo Zener D_{soft} à massa, providenciando o estrangulamento do canal de condução do DUT, por imposição, no terminal da porta, de um nível de tensão dado pelo diodo D_{soft} ;
- O valor da tensão em V_{BLK} continua a ser dado por 3.18, até o fim da aplicação do sinal de comando do DUT.

Instante t_3 a t_4 :

- Em consequência do ocorrido no instante t_3 , tal, permite a realização da comutação ao corte suave do DUT;
- Desta forma, a corrente transita para um patamar intermédio, não nulo, reduzindo o efeito da taxa de variação da corrente, bem como a sobrelevação de tensão, verificada na comutação ao corte;
- Com a aplicação do nível lógico 1, em V_Q , verifica-se em V_{atraso} um crescimento da tensão dado pela equação 3.13;

Instante t_4 :

- Com o alcance do nível de tensão V_{IH} , por V_{atraso} , o sinal de entrada no *Buffer*

Schmitt Trigger Inversor é invertido, passando a saída ao estado lógico 0. Conseqüentemente, não existindo condições lógicas idênticas, na entrada da porta lógica E, a saída da mesma comuta ao estado lógico 0, removendo o sinal de comando do DUT;

- Com o corte do sinal de comando do DUT, tal, permite a sua passagem ao estado de corte pleno, promovendo a anulação da corrente, por abertura do circuito;
- A tensão V_{BLK} anula-se, dado o díodo D_{sense} passar a estar inversamente polarizado;
- O comparador comuta para a condição de basculamento $-V_{CC}$, dado a tensão de entrada ser inferior ao limiar inferior da histerese. Contudo, e em consequência do efeito de *latch* do elemento de memória do tipo D, este continua a colocar o estado lógico 1 na saída não inversora, de modo a prevenir a ocorrência de falhas subsequentes, impedindo, desta forma, novo disparos no terminal da porta do DUT;

Instante t_5 :

- Devido à atuação do circuito de proteção, o evento de falha possui um *terminus* anterior à remoção do sinal de comando do dispositivo auxiliar;

Capítulo 4

Simulação e Resultados de Simulação

O presente capítulo em 4.1 introduz a componente de simulação, detalhando o *software* utilizado para modelação do circuito proposto e respetivas condições. Em 4.2 são apresentados, e discutidos, os resultados provenientes da simulação realizada.

4.1 Introdução

A aquisição de dados experimentais fez-se primeiramente com recurso à simulação do circuito apresentado no capítulo 3, via *software LTspice*. A simulação do funcionamento do circuito foi um passo crucial na posterior construção da placa de circuito impresso, de modo a que a simbiose entre ambos fosse a melhor possível. Os capítulos posteriores a 4.2.1 apresentam este estudo, realizado em *software LTspice*, com especial ênfase no dispositivo MOSFET SiC C2M0160120D.

4.2 Análise de Resultados Experimentais Simulados via *LTspice*

No anexo A, as figuras A.1 a A.5 representam o circuito simulado em *LTspice*. No circuito da figura A.4, o elemento de memória implementado em simulação teve de ser adaptado para refletir a *latch* tipo D, que possui as entradas PRE e CLR negadas. Assim, o componente SN74LVC2G14 U14 e U9, inversor *Schmitt Trigger*, apenas existem na simulação.

Quanto ao comando do dispositivo auxiliar (andar superior da meia-ponte), para realização da FUL, este possui um tempo de condução de $2\mu\text{s}$, sendo aplicado transitados 0,076ms desde o início da simulação. Para realização da HSF, este possui um tempo de condução de $7\mu\text{s}$, sendo aplicado transitados 0,074ms desde o início da simulação. O comando do dispositivo de teste (andar inferior da meia-ponte) possui um tempo de condução de $5\mu\text{s}$ com um período de $25\mu\text{s}$. A simulação, não linear no domínio do tempo, possui um tempo de simulação de 0,15ms. Os ensaios foram realizados com uma alimentação de 500Vdc e uma indutância de $5\mu\text{H}$ e $1\mu\text{H}$.

4.2.1 Estudo Curva Característica

Para averiguação do comportamento do modelo *LTspice* dos dispositivos semicondutores, MOSFET SiC C2M0160120D e IGBT Si IRG6S60B120KD, cujas curvas características apresentam-se na figura 3.3, realizou-se a obtenção da curva característica simulada, com recurso ao circuito da figura 4.1. Este circuito é comum a ambos os dispositivos, tendo os ensaios sido realizados com $V_1=500\text{V}$ e $V_{GS}=15\text{V}$, para diversos valores de R_0

Na figura 4.2 é possível observar os resultados da simulação realizada. Nesta constata-se, para o IGBT Si IRG6S60B120KD, uma evolução da curva característica simulada concordante com a teórica. Já no caso do MOSFET SiC C2M0160120D, a evolução da curva característica simulada, difere da teórica, com o aumento da corrente no circuito.

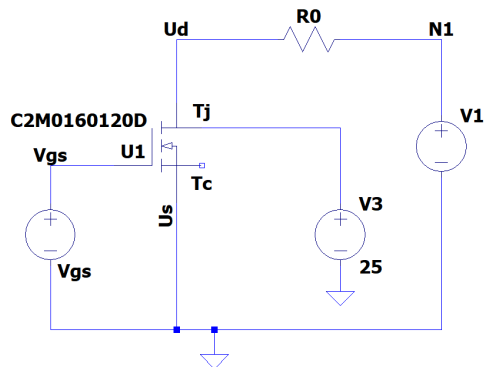
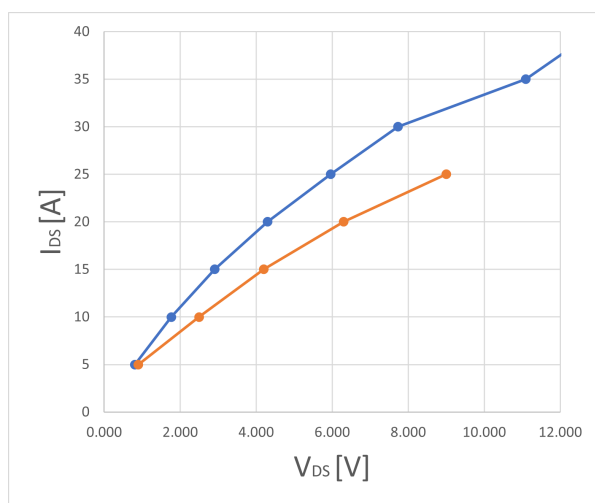
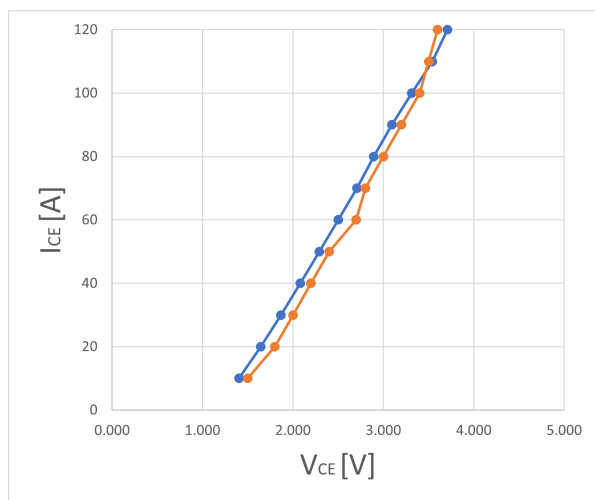


Figura 4.1: Representação do Circuito para Obtenção Curva Característica Simulada



(a) Curva Característica Simulada (Azul) e Teórica (Laranja) C2M0160120D



(b) Curva Característica Simulada (Azul) e Teórica (Laranja) IRGPS60B120KD

Figura 4.2: Comparação Curva Característica Simulada e Teórica

4.2.2 Definição Histerese Circuito Comparador

Atendendo às condições para definição do limite superior da histerese V_{thH} , descrito em 3.2.2, nomeadamente o facto de este limite ter de ser superior ao valor do pico de tensão, observado em V_{BLK} durante a comutação à condução e ter de ser selecionado de forma a garantir que o DUT funciona dentro da sua SOA, antes da ativação do circuito de proteção de sobrecorrente, realizou-se uma primeira simulação, sem a ligação do sinal de saída do elemento de memória do tipo D, ao circuito a jusante do mesmo. Isto é, sem a habilitação do circuito de proteção e com $L_{DC} = 5\mu H$. Nas figuras 4.4b e 4.4a é possível observar a evolução temporal de um conjunto de grandezas, com a existência de falha e sem a existência de falha.

Nestas incluem-se a tensão V_{BLK} , de amostragem da tensão aos terminais do dispositivo semiconductor de potência comandado, a tensão V_{DS} , aos terminais do dispositivo semiconductor de potência comandado, a corrente I_{L1} , que percorre o dispositivo semiconductor de potência comandado e as tensões $V_{GS}(AUX)$ e $V_{GS}(DUT)$, de comando dos dispositivos semicondutores de potência do andar superior e inferior, da meia ponte, respetivamente. A figura 4.3 expõem os pontos de medida acima mencionados de forma esquemática.

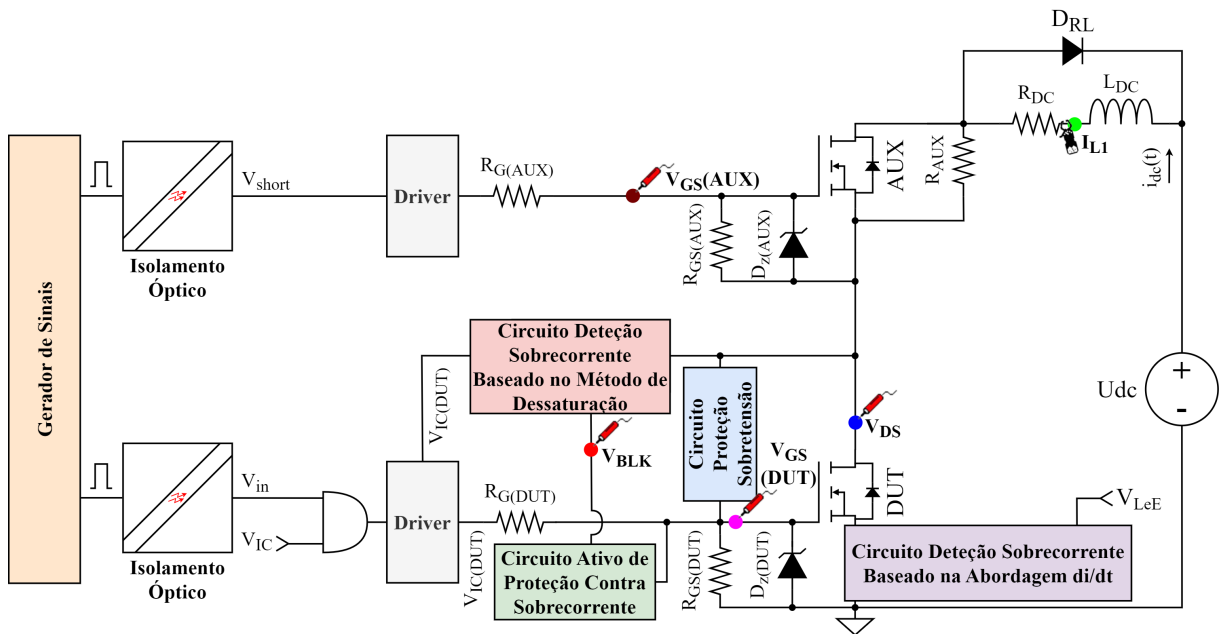
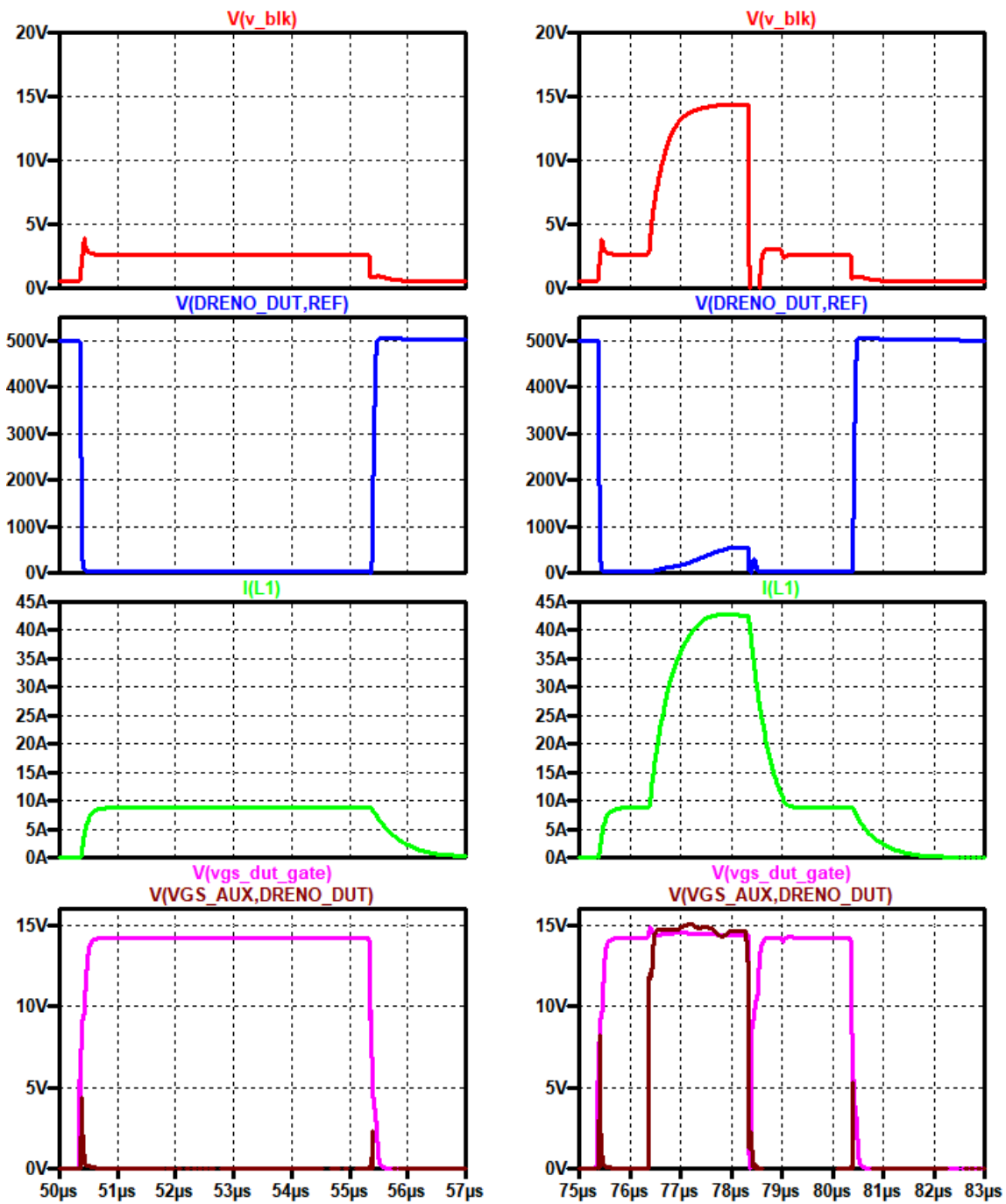


Figura 4.3: Representação Esquemática Circuito de Teste com Indicação dos Pontos de Medida Relevantes



(a) Evolução Temporal Tensões $V_{GS}(AUX)$, $V_{GS}(DUT)$, V_{BLK} e V_{DS} e Corrente I_{L1} sem Condições de Falha (Ganho Horizontal de $1\mu s/div$)

(b) Evolução Temporal Tensões $V_{GS}(AUX)$, $V_{GS}(DUT)$, V_{BLK} e V_{DS} e Corrente I_{L1} com Condições de Falha (Ganho Horizontal de $1\mu s/div$)

Figura 4.4: Evolução Temporal Grandezas Tensão e Corrente para Definição Histerese

Desta forma, o valor definido, para o limite superior da histerese, de 6V apresenta-se concordante com os resultados simulados. Assim, por forma a implementar uma amplitude de histerese de 4V, $V_{thL} = 2V$. Adicionalmente, sabendo que $V_{CC+} = 5V$, e que $V_{CC-} =$

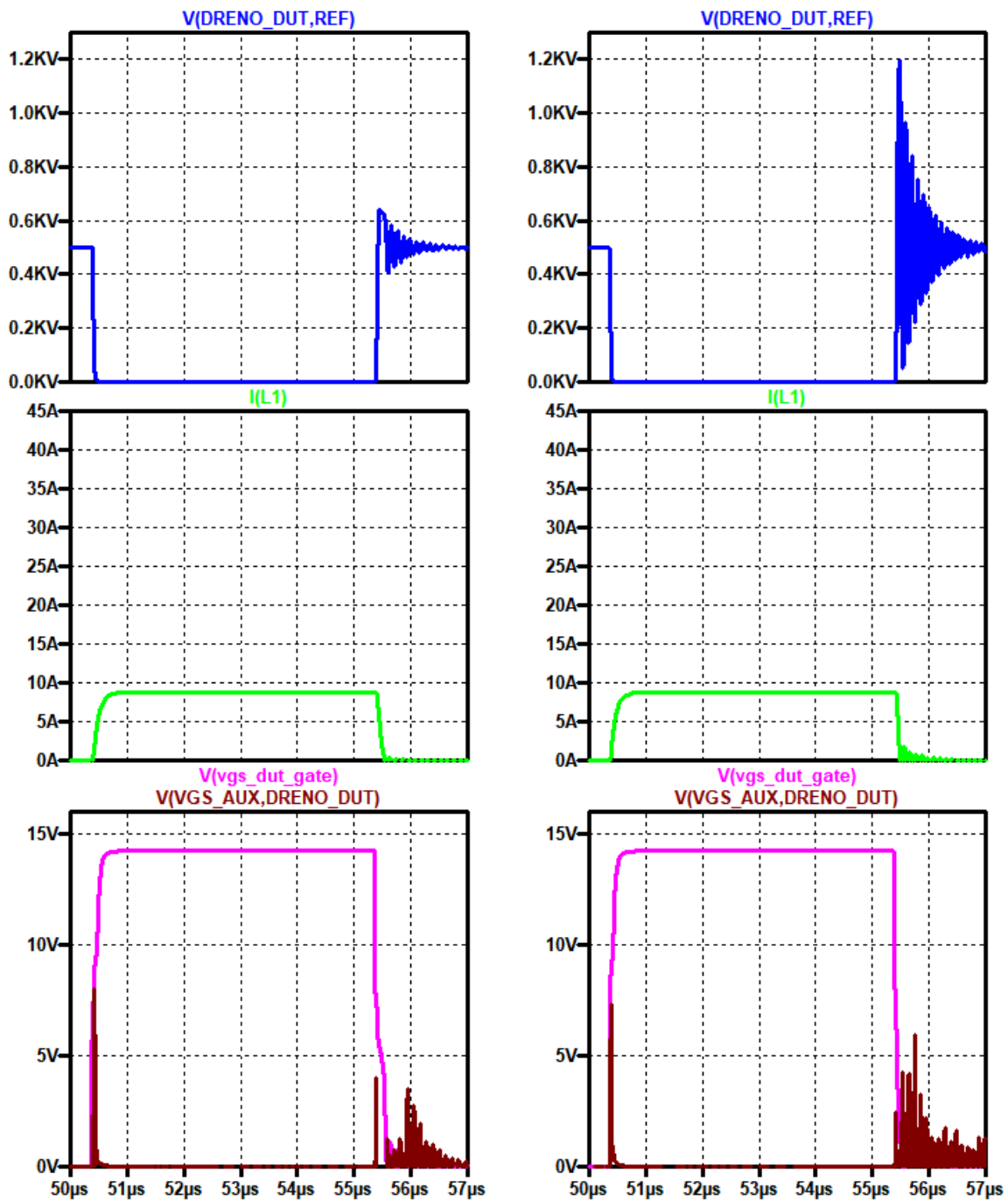
0V, com recurso à equação 3.11 obtém-se, para $R_3 = 10k\Omega$, $R_4 = 12.5k\Omega$.

4.2.3 Circuito de Proteção de Sobretensão

Na figura A.1 encontra-se o ramo de proteção de sobretensão. Este faz uso de uma associação série de quatro díodos TVS, bidirecionais, cada um destes com uma tensão de disrupção de 150V, para um total de 600V. As formas de onda expostas em 4.5 foram adquiridas sem a existência do diodo roda livre em anti-paralelo com a carga RL. As formas de onda expostas em 4.6 foram adquiridas já com o diodo roda livre presente no circuito de potência. Ambos os ensaios foram realizados durante um período de condução normal, sem a ocorrência de falha, estando o circuito de proteção de sobrecorrente habilitado, utilizando-se um valor de indutância correspondente a $5\mu\text{H}$.

Nos resultados constantes na figura 4.5b, o ramo de proteção de sobretensão foi removido do circuito. Consequentemente, a sobrelevação apresenta um valor 1,4x superior ao nominal. Na figura 4.5a o ramo de proteção de sobretensão foi habilitado, com $R_{TVS} = 100\Omega$. Como esperado, a sobrelevação reduz-se, apresentando um valor 0,2x superior ao nominal.

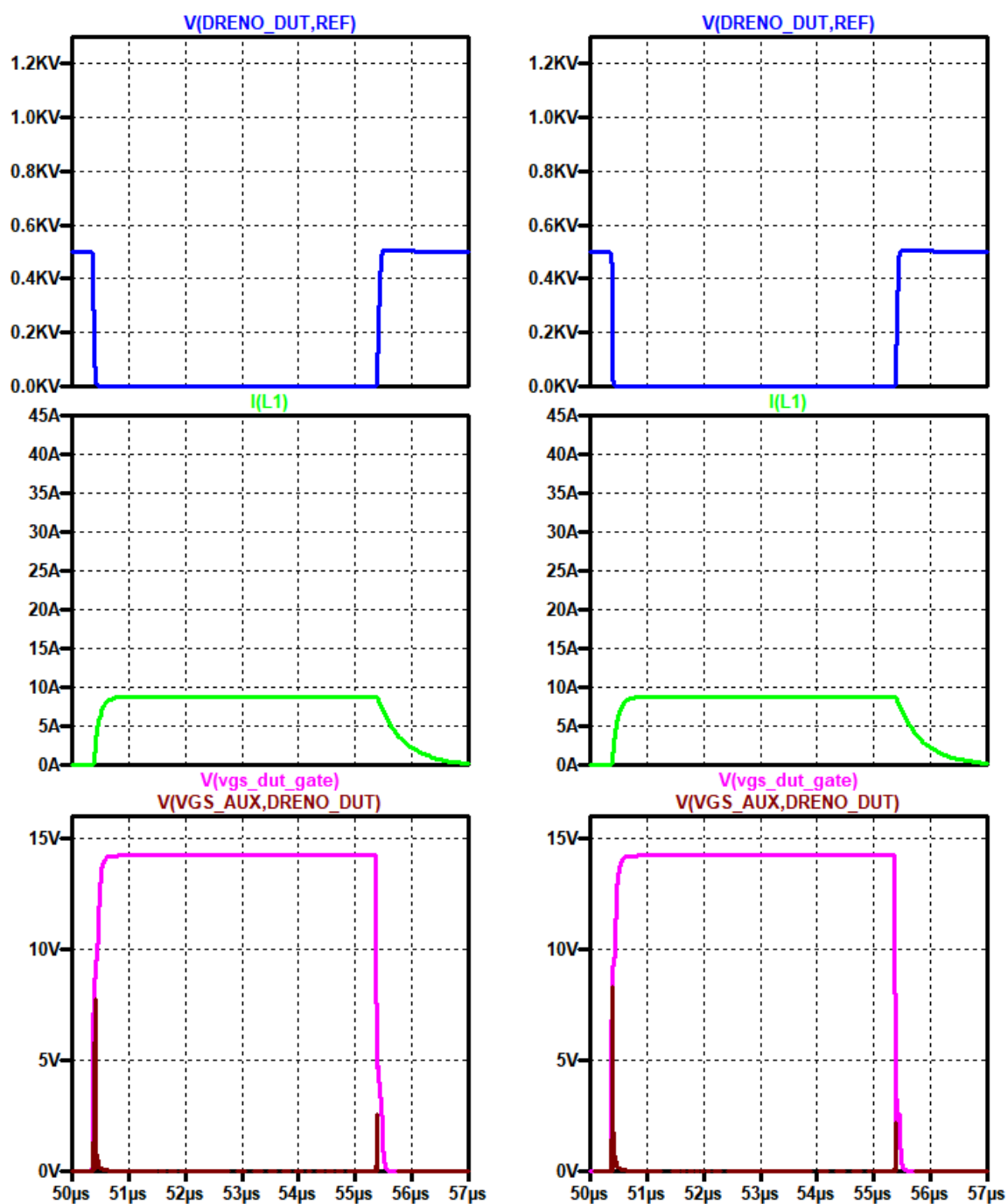
Como visto em 3.2.1, o diodo em roda livre influencia o valor da sobretensão verificado aos terminais do semiconductor, na comutação ao corte. Os resultados com a adição deste elemento, na figura 4.6, permitem uma redução da sobrelevação para apenas 0,012x do valor nominal. Desta forma, conclui-se que a proteção com recurso à associação do conjunto ramo TVS e diodo roda livre permite a dissipação da energia da indutância sob a forma de uma sobretensão reduzida, durante um período mais longo. Em contraste, sem ramo TVS nem diodo roda livre, a energia é dissipada de forma mais rápida, com a agravante de a sobrelevação atingir valores proibitivamente elevados. Adicionalmente, o aumento do ganho, sob a forma de uma diminuição da resistência R_{TVS} , permite o aumento da corrente injetada no ramo TVS, que por sua vez confere a redução do pico de tensão, demorando mais tempo a reduzir a corrente na indutância, por aplicação de tensão negativa.



(a) Evolução Temporal Tensões $V_{GS}(AUX)$, $V_{GS}(DUT)$ e V_{DS} e Corrente I_{L1} com Ramo de Proteção de Sobretensão (Ganho Horizontal de $1\mu s/div$)

(b) Evolução Temporal Tensões $V_{GS}(AUX)$, $V_{GS}(DUT)$ e V_{DS} e Corrente I_{L1} sem Ramo de Proteção de Sobretensão (Ganho Horizontal de $1\mu s/div$)

Figura 4.5: Evolução Temporal Grandezas Tensão e Corrente para Estudo do Circuito de Proteção de Sobretensão sem Díodo Roda Livre



(a) Evolução Temporal Tensões $V_{GS}(AUX)$, $V_{GS}(DUT)$ e V_{DS} e Corrente I_{L1} com Ramo de Proteção de Sobretensão (Ganho Horizontal de $1\mu s/div$)

(b) Evolução Temporal Tensões $V_{GS}(AUX)$, $V_{GS}(DUT)$ e V_{DS} e Corrente I_{L1} sem Ramo de Proteção de Sobretensão (Ganho Horizontal de $1\mu s/div$)

Figura 4.6: Evolução Temporal Grandezas Tensão e Corrente para Estudo do Circuito de Proteção de Sobretensão com Díodo Roda Livre

4.2.4 Circuito Ativo de Proteção de Sobrecorrente

Na figura A.4 apresenta-se o circuito de proteção ativa de sobrecorrente, realizado com recurso à técnica de dessaturação. Como exposto em 3.2.4, a realização do *blanking time* é alcançada por recurso a duas abordagens, malha RC e circuito alternativo. Em ambos os casos, a constante de tempo dada pela associação RC perfaz 270ns, com $R_{10} = R_{BLK} = 1k\Omega$ e $C_7 = C_{BLK} = 0,270nF$. Para simulação do comportamento deste circuito, aquando a ocorrência de falha, as condições expostas em 4.2 mantêm-se, no entanto, e com base no exposto em 3.2.1, os ensaios foram realizados para valores de indutância L_{DC} de $5\mu H$ e $1\mu H$, com $R_{12} = 500\Omega$.

Falha do Tipo FUL

O primeiro ensaio a ser realizado recorre a uma indutância de $5\mu H$. Sem a ocorrência de falha, isto é, com o dispositivo auxiliar ao corte, a associação série das resistências na malha de potência perfaz 57Ω . Sendo a alimentação de 500Vdc, a energia no elemento indutivo é de 0,19mJ. Aquando a passagem à condução do dispositivo auxiliar, o valor da resistência do circuito de potência é reduzido para 10Ω , conseqüentemente, a energia na indutância aumenta para 6,25mJ. Na figura 4.7a observa-se a influência da malha RC de *blanking time*, na resposta do circuito de proteção. Desde o instante em que é aplicado o sinal de comando do dispositivo auxiliar, até ao momento em que $V(\text{out memória}) = 5V$, transitam 237ns. Já na figura 4.7b observa-se a influência do circuito alternativo de *blanking time*, na resposta do circuito de proteção. Considerando o mesmo intervalo de medição acima mencionado, transitam 230ns até $V(\text{out memória})$ atingir o nível lógico 1 (5V).

Na figura 4.8 apresentam-se os resultados da simulação, agora com $L_{DC} = 1\mu H$. Com o dispositivo auxiliar ao corte, a energia do elemento indutivo é de 0,038mJ. Quando este comuta à condução, esta energia aumenta para 1,250mJ. Verifica-se que o período entre a aplicação do sinal de comando do dispositivo auxiliar, até ao momento em que $V(\text{out memória}) = 5V$, com a utilização da malha RC de *blanking time*, é de 224ns. Já o mesmo período, com recurso ao circuito alternativo de *blanking time*, em oposição à malha RC, é reduzido para 77ns. Estes resultados confirmam o desenvolvimento teórico, apresentado em 3.2.4.

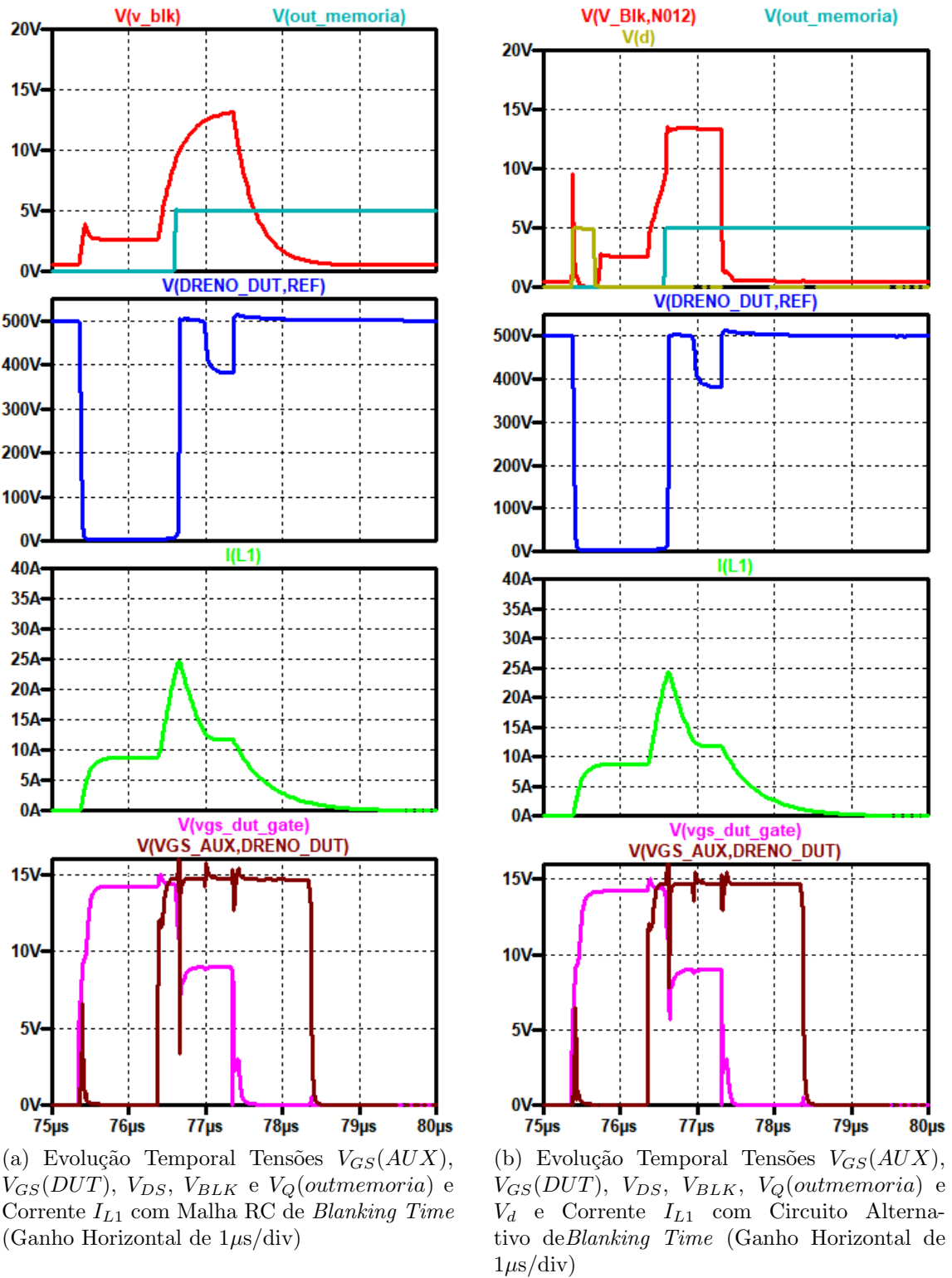
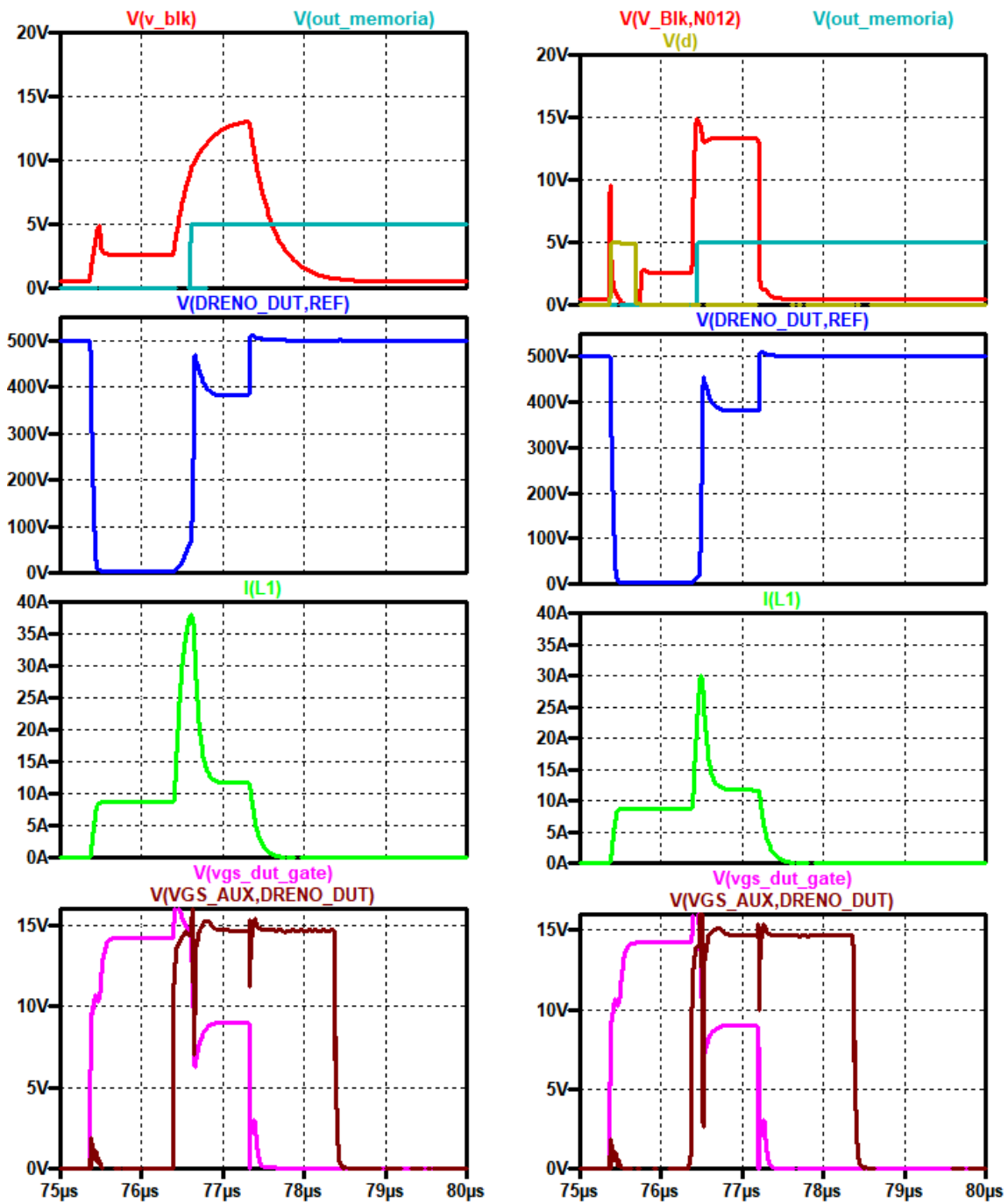


Figura 4.7: Evolução Temporal Grandezas Tensão e Corrente para Estudo da Influência do *Blanking Time* no Circuito de Proteção de Sobrecorrente na ocorrência de FUL com $L_{DC} = 5\mu H$



(a) Evolução Temporal Tensões $V_{GS}(AUX)$, $V_{GS}(DUT)$, V_{DS} , V_{BLK} e $V_Q(outmemoria)$ e Corrente I_{L1} com Malha RC de *Blanking Time* (Ganho Horizontal de $1\mu s/div$)

(b) Evolução Temporal Tensões $V_{GS}(AUX)$, $V_{GS}(DUT)$, V_{DS} , V_{BLK} , $V_Q(outmemoria)$ e V_d e Corrente I_{L1} com Circuito Alternativo de *Blanking Time* (Ganho Horizontal de $1\mu s/div$)

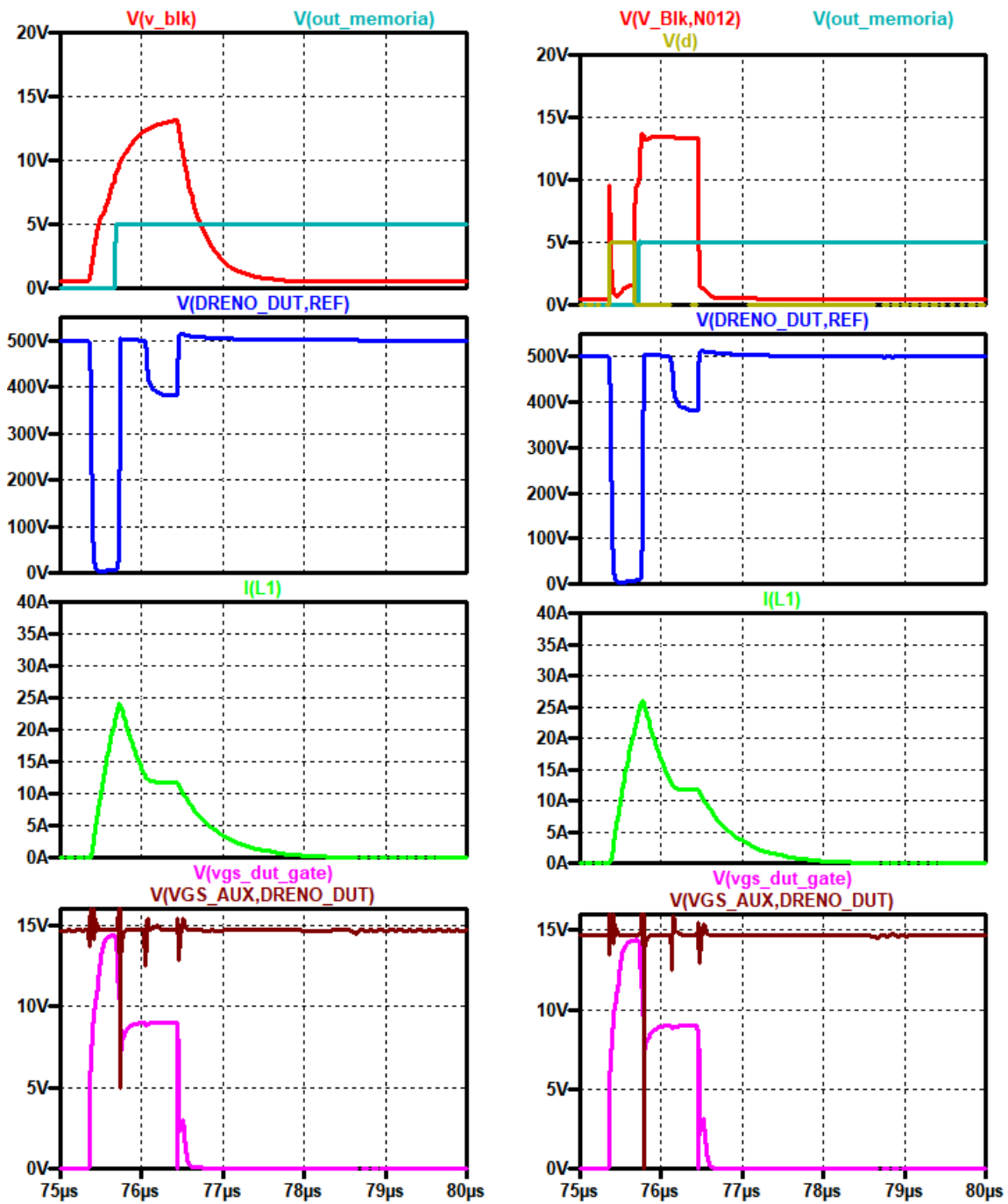
Figura 4.8: Evolução Temporal Grandezas Tensão e Corrente para Estudo da Influência do *Blanking Time* no Circuito de Proteção de Sobrecorrente na ocorrência de FUL com $L_{DC} = 1\mu H$

Falha do Tipo HSF

Neste tipo de falha, o DUT comuta à condução, com o dispositivo auxiliar já neste estado. Conseqüentemente o circuito de potência já apresenta condições de falha, motivo pelo qual é esperado que as evoluções temporais apresentem-se semelhantes quando ao tempo de resposta do circuito de proteção de sobrecorrente, recorrendo à malha RC de *blanking time* ou ao circuito alternativo para o mesmo efeito. Nestes ensaios, o intervalo temporal alvo de medição apresenta-se entre o instante em que é aplicado o sinal de comando do DUT, até $V(\text{out memória}) = 5V$.

Na figura 4.9a observa-se a influência da malha RC de *blanking time*, na resposta do circuito de proteção com $L_{DC} = 5\mu H$. Desde o instante em que é aplicado o sinal de comando do DUT, até ao momento em que $V(\text{out memória}) = 5V$, transitam 327ns. Já na figura 4.9b observa-se a influência do circuito alternativo de *blanking time*, na resposta do circuito de proteção. Considerando o mesmo intervalo de medição acima mencionado, transitam 372ns até $V(\text{out memória})$ atingir o nível lógico 1 (5V).

Na figura 4.10 apresentam-se os resultados da simulação, agora com $L_{DC} = 1\mu H$. Verifica-se que o período entre a aplicação do sinal de comando do DUT, até ao momento em que $V(\text{out memória}) = 5V$, com a utilização da malha RC de *blanking time*, é de 274ns. Já o mesmo período, com recurso ao circuito alternativo de *blanking time*, em oposição à malha RC, é de 334ns.



(a) Evolução Temporal Tensões $V_{GS}(AUX)$, $V_{GS}(DUT)$, V_{DS} , V_{BLK} e $V_Q(outmemoria)$ e Corrente I_{L1} com Malha RC de *Blanking Time* (Ganho Horizontal de $1\mu s/div$)

(b) Evolução Temporal Tensões $V_{GS}(AUX)$, $V_{GS}(DUT)$, V_{DS} , V_{BLK} , $V_Q(outmemoria)$ e V_d e Corrente I_{L1} com Circuito Alternativo de *Blanking Time* (Ganho Horizontal de $1\mu s/div$)

Figura 4.9: Evolução Temporal Grandezas Tensão e Corrente para Estudo da Influência do *Blanking Time* no Circuito de Proteção de Sobrecorrente na ocorrência de HSF com $L_{DC} = 5\mu H$

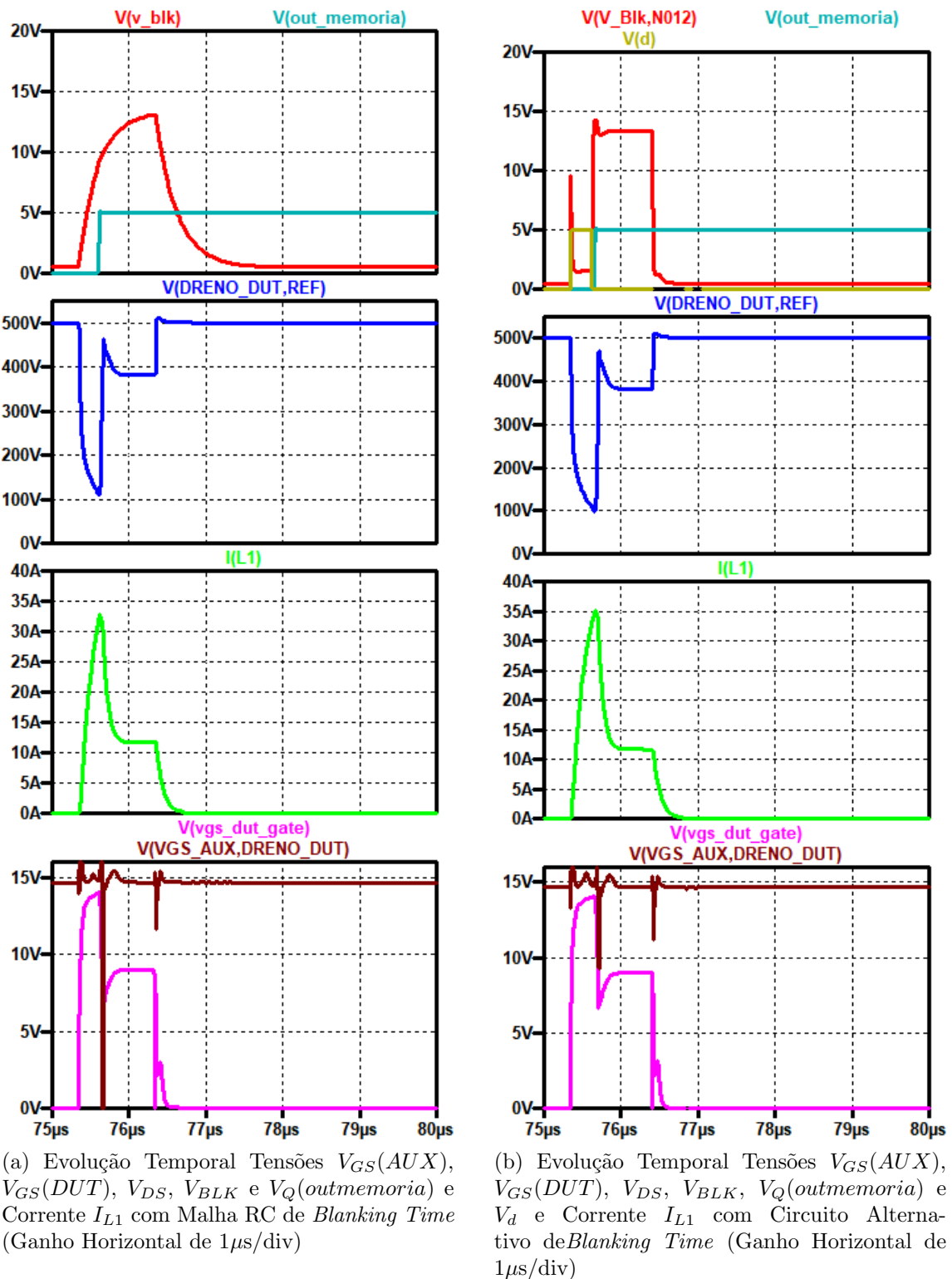
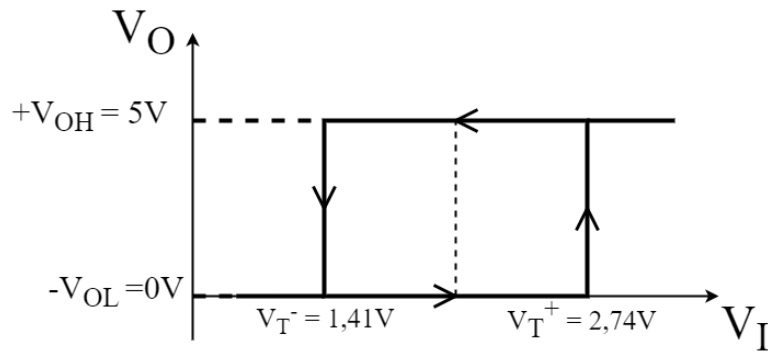


Figura 4.10: Evolução Temporal Grandezas Tensão e Corrente para Estudo da Influência do *Blanking Time* no Circuito de Proteção de Sobrecorrente na ocorrência de HSF com $L_{DC} = 1\mu H$

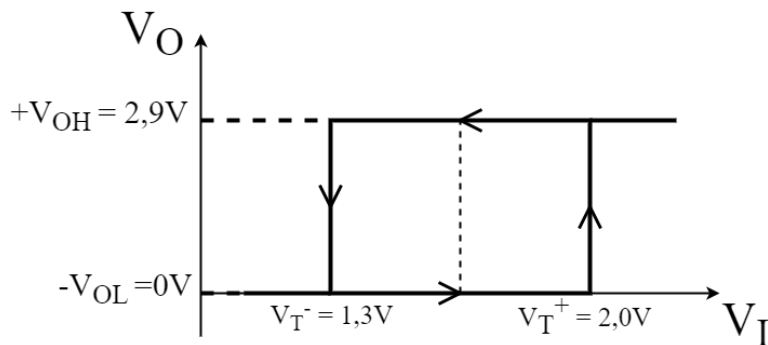
4.2.5 Circuito Proteção de Sobrecorrente Baseado na Abordagem di/dt

Nas figuras A.3 e A.2 encontram-se representados os circuitos parciais que perfazem a proteção baseada na taxa de variação da corrente. Os ensaios para o estudo desta proteção foram realizados com $R_{eE} = 1k\Omega$, $C_{eE} = 1nF$ e $L_2 = 10nH$, para a falha do tipo FUL. O *Buffer Schmitt Trigger* foi alimentado com 3Vdc, estando na figura 4.11b a representação dos valores de tensão que constituem o nível lógico 1, V_{OH} , nível lógico 0, V_{OL} , limiar inferior, V_{T-} e limiar superior, V_{T+} .

O sinal de saída do *Buffer Schmitt Trigger* é posteriormente utilizado como uma, de duas, entradas na porta lógica OU, SN74LVC1G97, cuja representação da histerese encontra-se na figura 4.11a.



(a) SN74LVC1G97



(b) SN74LVC2G17

Figura 4.11: Gráfico Representativo Histerese SN74LVC1G97 e SN74LVC2G17

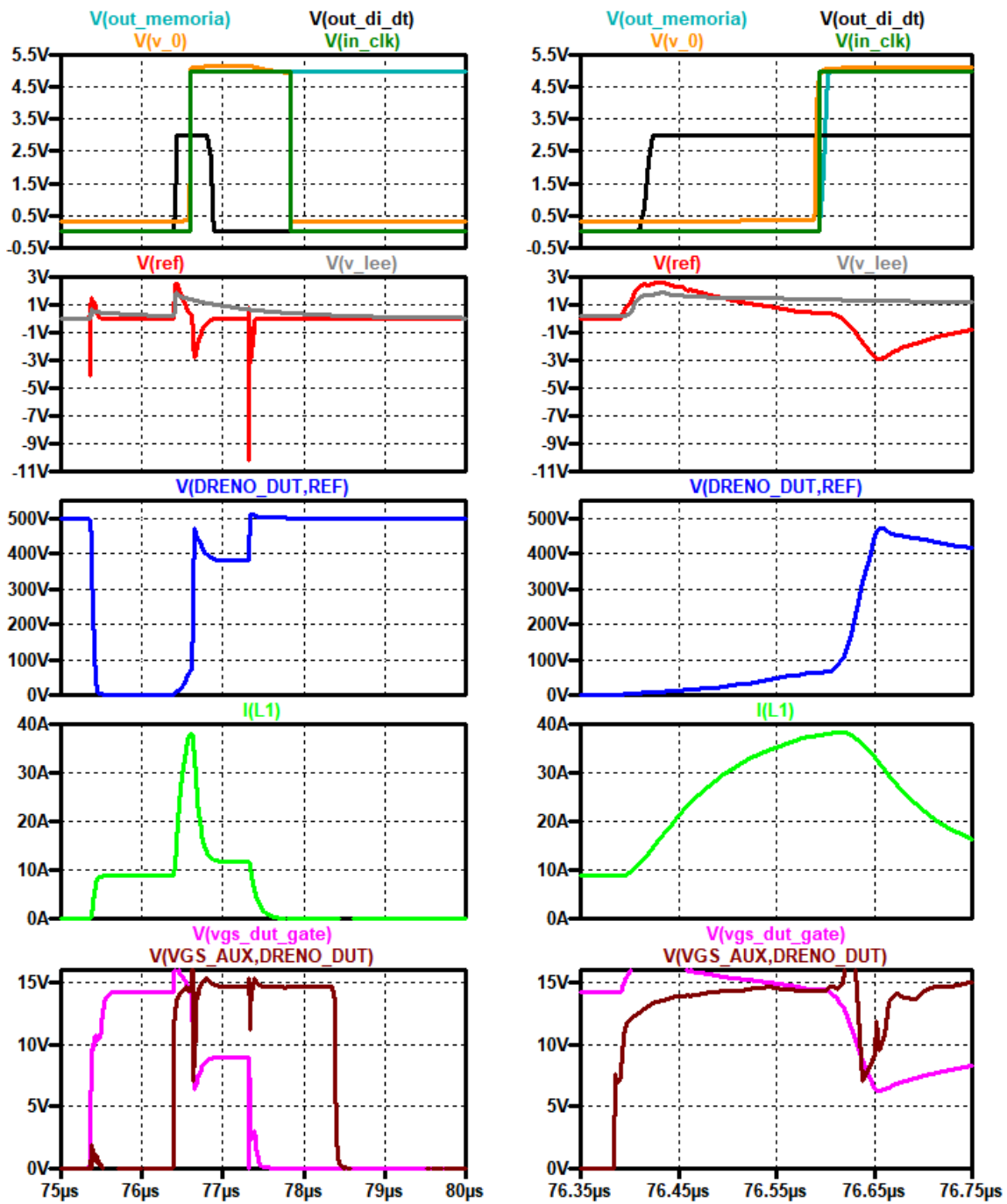
Primeiramente realizou-se um ensaio com o sinal do circuito de proteção, baseado na taxa de variação da corrente, desabilitado, recorrendo-se à malha RC para providenciar o *blanking time*, com $L_{DC} = 1\mu H$ e cujos resultados encontram-se na figura 4.12. Devido ao

elevado gradiente de corrente, cerca de $500\text{A}/\mu\text{s}$, e por existir um atraso na averiguação da tensão V_{BLK} , por parte do circuito comparador, o nível de corrente atingido, antes de a proteção ativar, é idêntico ao da figura 4.8a. Contudo, verifica-se que o sinal, proveniente do circuito de proteção por di/dt , atua o elemento de memória D, 180ns antes da atuação do circuito comparador.

Realizando o mesmo ensaio acima descrito, mas com o sinal do circuito de proteção, baseado na taxa de variação da corrente, habilitado, obteve-se os resultados constantes na figura 4.13. Neste caso, após 9ns, do alcance do nível lógico 1, por parte do *Buffer Schmitt Trigger*, o elemento de memória D apresenta também o nível lógico 1, atuando a proteção do DUT. Devido à rápida atuação do circuito, baseado na taxa de variação da corrente, a corrente verificada é inferior à acima analisada.

Após, realizou-se o mesmo protocolo de ensaios, substituindo a malha RC de *blanking time* pelo circuito alternativo de *blanking time*. Na figura 4.14 apresentam-se os resultados sem a habilitação do circuito de proteção baseado em di/dt . Verifica-se que o sinal, proveniente do circuito de proteção por di/dt , atua o elemento de memória D, 39ns antes da atuação do circuito comparador.

Na figura 4.15 apresentam-se os resultados relativos ao presente estudo, com o sinal do circuito de proteção, baseado na taxa de variação da corrente, habilitado. Neste caso, os resultados são idênticos aos obtidos em 4.13.



(a) Evolução Temporal Tensões $V_{GS}(AUX)$, $V_{GS}(DUT)$, V_{DS} , V_{ref} , $V_{L_{eE}}$, $V_Q(outmemoria)$, $V(outdi/dt)$, V_0 , $V(inclk)$ e Corrente I_{L1} (Ganho Horizontal de $1\mu s/div$)

(b) Detalhe Evolução Temporal Tensões $V_{GS}(AUX)$, $V_{GS}(DUT)$, V_{DS} , V_{ref} , $V_{L_{eE}}$, $V_Q(outmemoria)$, $V(outdi/dt)$, V_0 , $V(inclk)$ e Corrente I_{L1} (Ganho Horizontal de $100ns/div$)

Figura 4.12: Evolução Temporal Grandezas Tensão e Corrente sem a Influência do Circuito de Proteção Baseado em di/dt e com Malha RC de *Blanking Time*

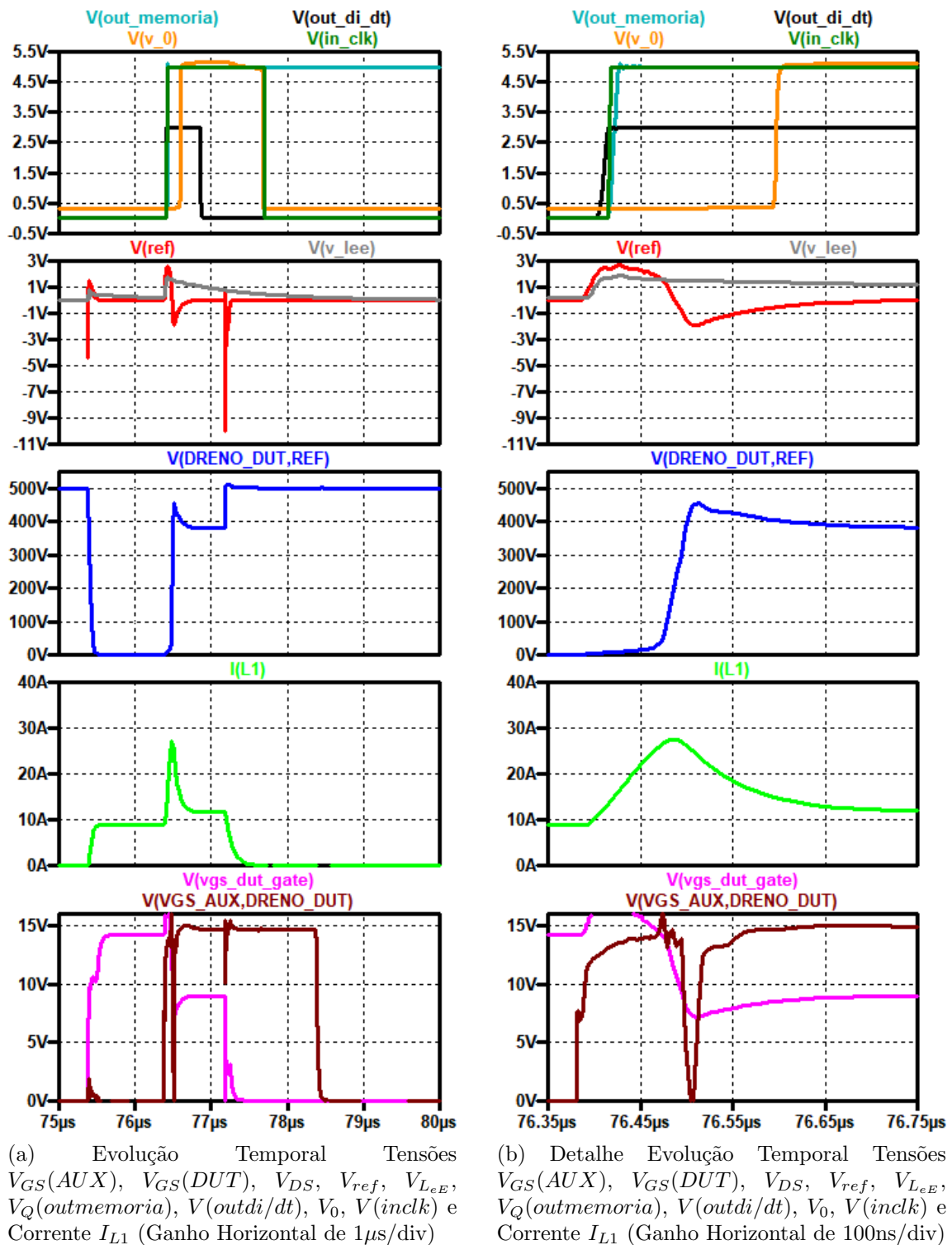


Figura 4.13: Evolução Temporal Grandezas Tensão e Corrente com a Influência do Circuito de Proteção Baseado em di/dt e com Malha RC de *Blanking Time*

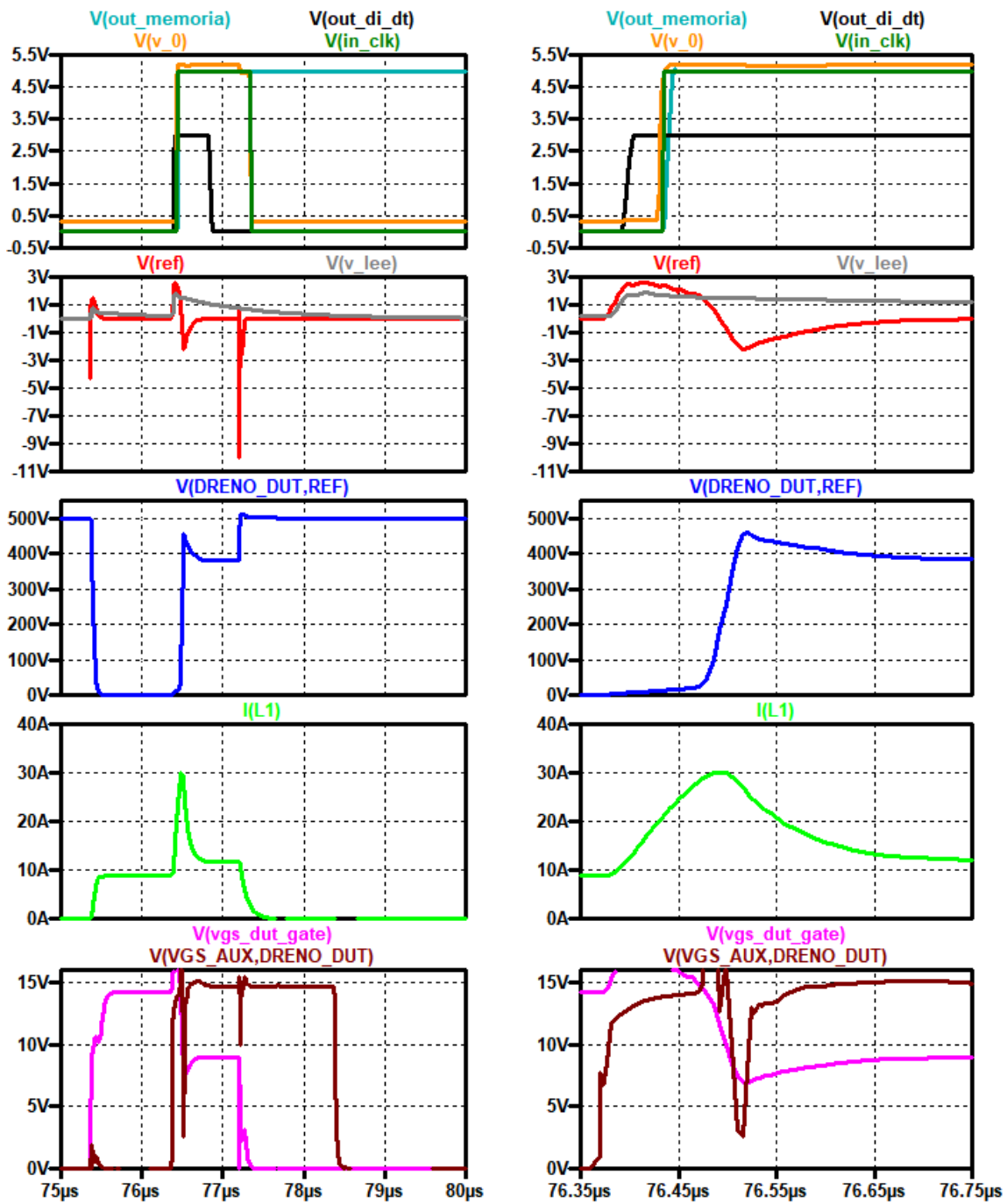


Figura 4.14: Evolução Temporal Grandezas Tensão e Corrente sem a Influência do Circuito de Proteção Baseado em di/dt e com Circuito Alternativo de *Blanking Time*

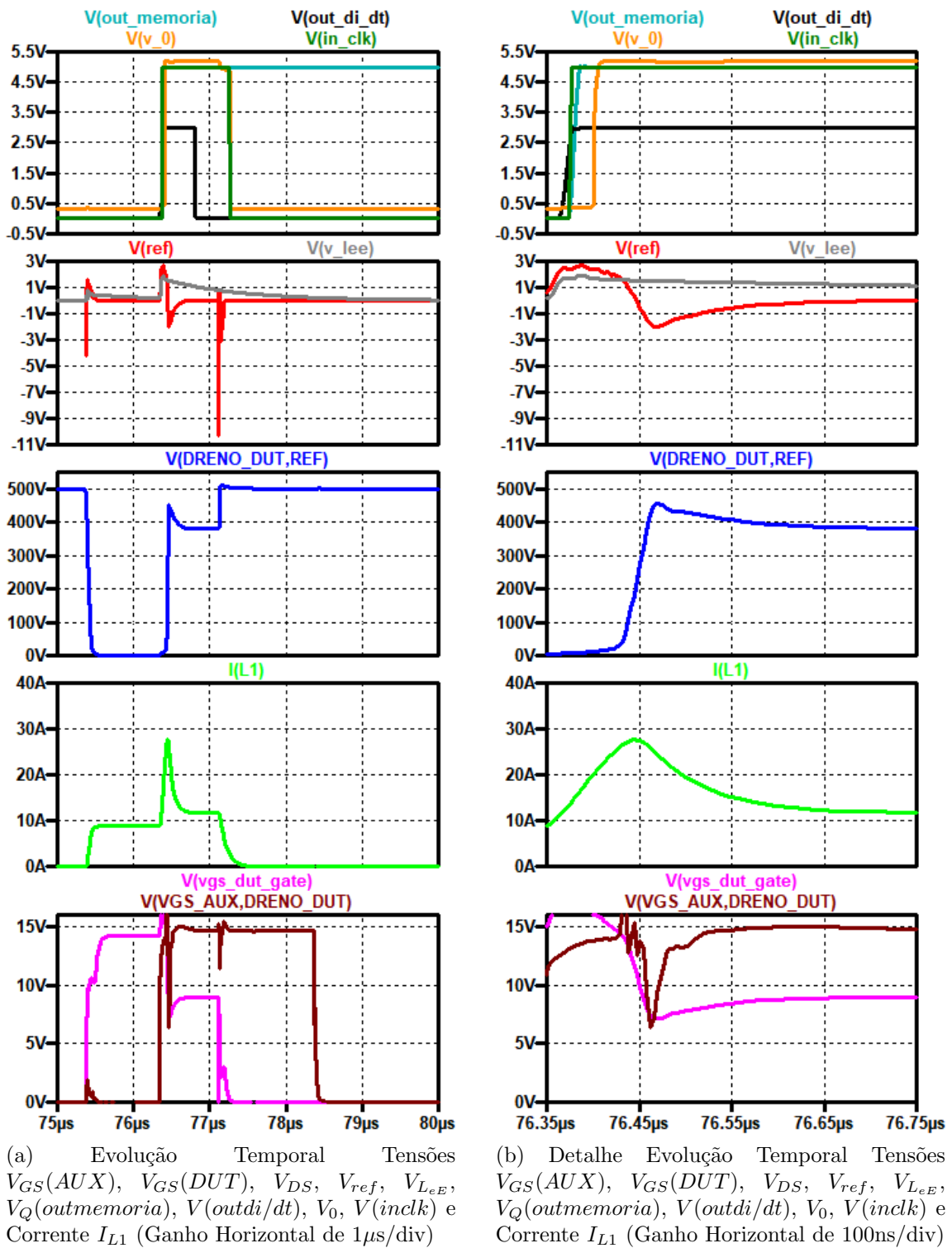


Figura 4.15: Evolução Temporal Grandezas Tensão e Corrente com a Influência do Circuito de Proteção Baseado em di/dt e com Circuito Alternativo de *Blanking Time*

Capítulo 5

Análise de Resultados Experimentais Laboratoriais e Discussão

No presente capítulo em 5.1 e 5.2 são apresentados e discutidos respectivamente, os resultados provenientes dos ensaios laboratoriais, para estudo do comportamento do circuito de proteção, de sobretensão e sobrecorrente. Estes resultados experimentais laboratoriais incidiram sobre o dispositivo MOSFET SiC C2M0160120D.

5.1 Circuito de Proteção de Sobretensão

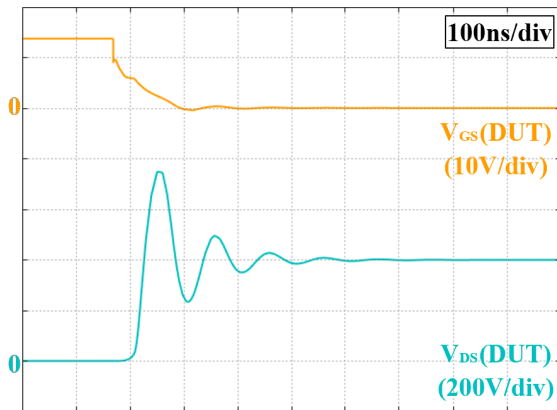
Por forma a corroborar o exposto nos capítulos 3.2.1, 3.2.5 e 4.2.3, realizaram-se um conjunto de ensaios experimentais laboratoriais, tendo-se posteriormente obtido resultados simulados que se aproximassem o mais próximo possível das condições do ensaio experimental.

Os ensaios práticos fizeram uso de um valor 450Vdc, com uma resistência R_{DC} de 100Ω , e R_{AUX} em curto-circuito, não existindo aplicação do sinal de comando do dispositivo semiconductor auxiliar. Utilizou-se um diodo TVS bidirecional, de tensão nominal de 480V, sem diodo em roda livre, e com uma indutância de carga de $5\mu\text{H}$.

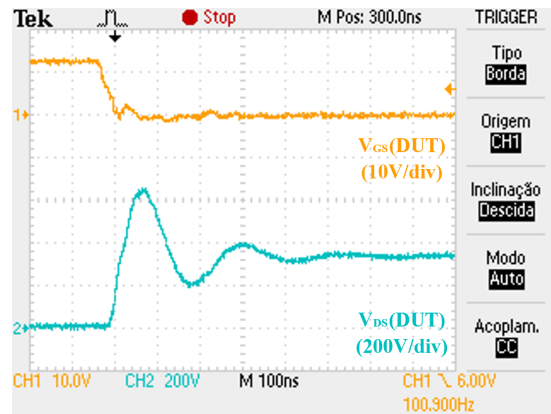
Devido às restrições dos modelos utilizados em simulação, recorreu-se à associação de três diodos TVS bidirecionais de tensão nominal de 150V, para um total de 450V, realizando-se o ensaio com 400Vdc e uma indutância de carga de $4\mu\text{H}$, para colmatar a redução da tensão da fonte. Os restantes parâmetros apresentam-se idênticos aos laboratoriais. Nas figuras 5.1 a 5.4 encontram-se os resultados experimentais laboratoriais e simulados, para R_{TVS} em circuito aberto, em curto-circuito, para um valor de 200Ω e 50Ω respetivamente.

Por comparação das figuras 5.1b e 5.2b é possível observar o efeito providenciado pelo ramo TVS, na supressão da sobretensão. Verifica-se que o pico máximo de 650V é reduzido para aproximadamente 500V. Adicionalmente constata-se um aumento da tensão do terminal da porta do semiconductor, consequência da injeção de corrente pelo ramo TVS. Este comportamento é igualmente observado nos resultados simulados, presentes nas figuras 5.1a e 5.2a.

5.1. Circuito de Proteção de Sobretensão

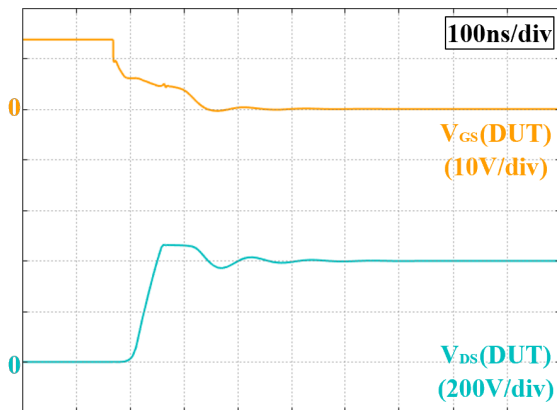


(a) Evolução Temporal Tensões $V_{GS}(DUT)$ (Laranja 10V/div) e $V_{DS}(DUT)$ (Azul 200V/div) Simuladas (Ganho Horizontal de 100ns/div)

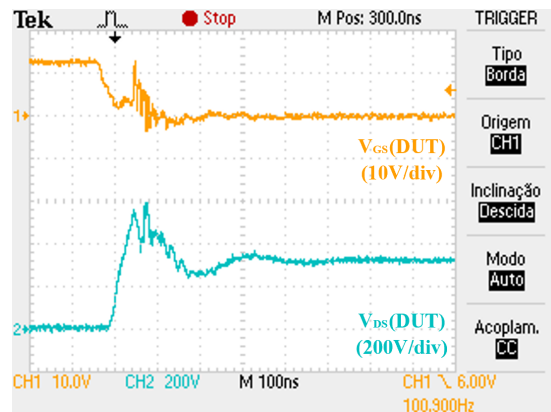


(b) Evolução Temporal Tensões $V_{GS}(DUT)$ (Laranja) e $V_{DS}(DUT)$ (Azul) Laboratoriais (Ganho Horizontal de 100ns/div)

Figura 5.1: Evoluções Temporais Tensão para Estudo do Circuito de Proteção de Sobretensão com R_{TVS} em Circuito Aberto



(a) Evolução Temporal Tensões $V_{GS}(DUT)$ (Laranja 10V/div) e $V_{DS}(DUT)$ (Azul 200V/div) Simuladas (Ganho Horizontal de 100ns/div)



(b) Evolução Temporal Tensões $V_{GS}(DUT)$ (Laranja) e $V_{DS}(DUT)$ (Azul) Laboratoriais (Ganho Horizontal de 100ns/div)

Figura 5.2: Evoluções Temporais Tensão para Estudo do Circuito de Proteção de Sobretensão com R_{TVS} em Curto-Circuito

Observando os resultados das figuras 5.3 e 5.4, com $R_{TVS} = 200\Omega$ e $R_{TVS} = 50\Omega$, respectivamente, verifica-se o anteriormente exposto, em que uma diminuição deste valor de resistência produz um aumento do ganho, e conseqüentemente, um aumento da oscilação. Também nestas instâncias é possível observar um concordância entre resultados experimentais laboratoriais e simulados.

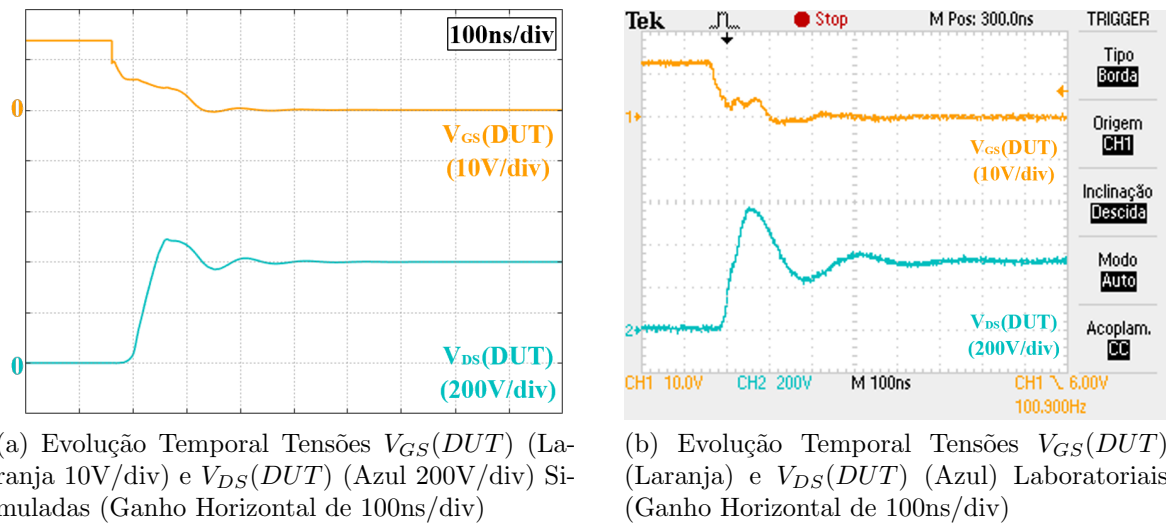


Figura 5.3: Evoluções Temporais Tensão para Estudo do Circuito de Proteção de Sobre-tensão com $R_{TVS} = 200\Omega$

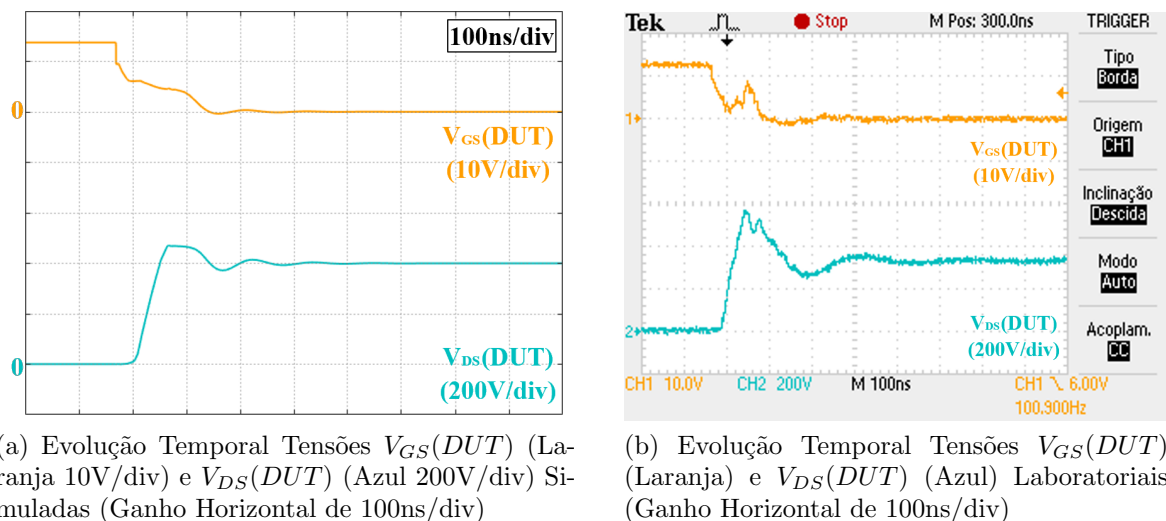


Figura 5.4: Evoluções Temporais Tensão para Estudo do Circuito de Proteção de Sobre-tensão com $R_{TVS} = 50\Omega$

5.2 Circuito de Proteção de Sobrecorrente

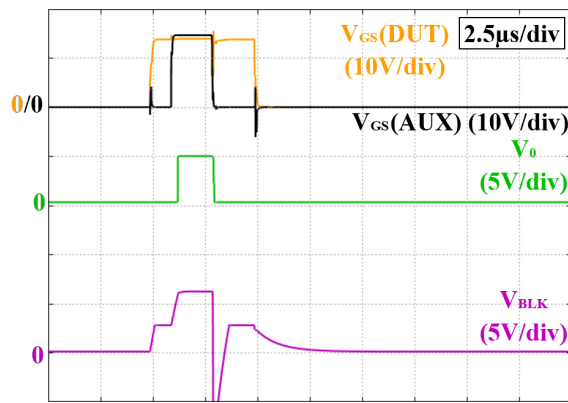
O presente estudo fez uso, em ambiente laboratorial, de uma fonte Dc, de 600V, com $R_{DC} = 33.3\Omega$ e $R_{AUX} = 100\Omega$. A indutância de carga apresenta o valor de $5\mu\text{H}$, tendo-se utilizado dois díodos TVS, de 480V cada. O comparador histerético possui como valor de referência 3V, estando dimensionado com 2V de histerese. Desta forma, com o semiconductor de potência AUX ao corte e o semiconductor de potência DUT à condução, a resistência de carga apresenta o valor de $133,3\Omega$, com uma corrente de 4,5A. Com a

passagem do SP AUX à condução, a resistência de carga é reduzida para o valor de R_{DC} , aumentando a corrente para 18A. Estas condições foram posteriormente replicadas em ambiente de simulação.

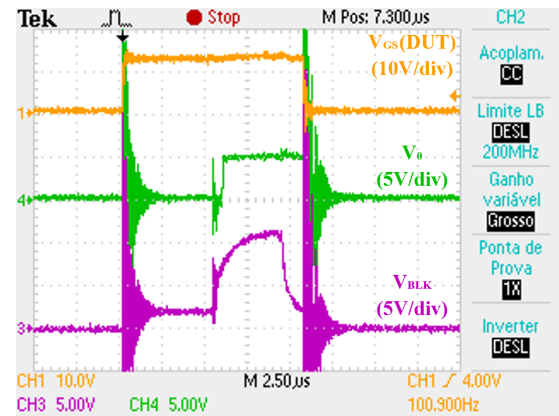
5.2.1 Estudo Falha do Tipo *Fault Under Load*

O estudo do comportamento do circuito de proteção, para a falha do tipo FUL / *Soft Short-Circuit* é apresentado neste ponto. Na figura 5.5 apresentam-se os resultados obtidos com a utilização da malha RC para realização do *blanking time*, com o circuito de proteção não habilitado, e com $R_{BLK} = 200\Omega$ e $C_{BLK} = 5nF$. Nas figuras 5.5b e 5.5d, apresentam-se os resultados obtidos em laboratório. Em 5.5b, as formas de onda representas são, por ordem de aparecimento vertical descendente, V_{GS} (Laranja) no semicondutor DUT, V_0 (Verde) à saída do comparador histerético e V_{BLK} (Roxo). Em 5.5d encontra-se a corrente $I(R_{DC})$ (Azul) e V_{DS} (Roxo) no semicondutor DUT. Nas figuras 5.5a e 5.5c apresentam-se os resultados obtidos em software *LTspice*. Em 5.5a, as formas de onda representas são, por ordem de aparecimento vertical descendente, V_{GS} (Laranja) no semicondutor DUT, V_{GS} (Preto) no semicondutor AUX, V_0 (Verde) e V_{BLK} (Roxo). Em 5.5c, as formas de onda representas são, por ordem de aparecimento vertical descendente V_{DS} (Azul) no semicondutor DUT e $I(R_{DC})$ (Roxo).

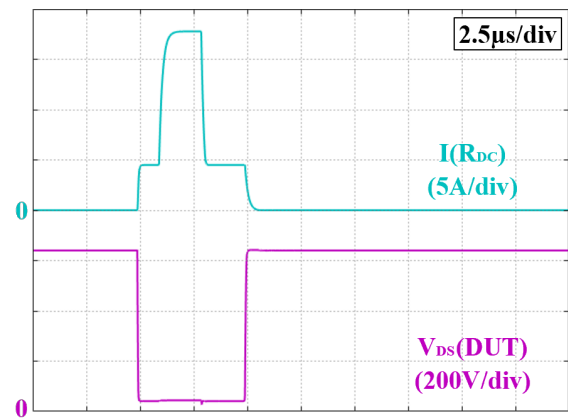
Para realização de uma análise crítica e objetiva, entre a utilização do circuito alternativo e da malha RC, decidiu-se focar a análise no período a partir do qual é aplicado o sinal de comando do semicondutor auxiliar, provocando o consequente aumento de corrente, e habilitando o circuito de proteção.



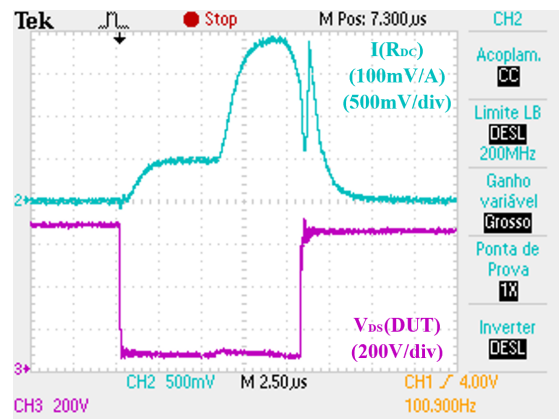
(a) Evoluções Temporais Tensões $V_{GS}(DUT)$ (Laranja), $V_{GS}(AUX)$ (Preto), V_0 (Verde), V_{BLK} (Roxo), Simuladas (Ganho Horizontal de $2,50\mu s/div$)



(b) Evoluções Temporais Tensões $V_{GS}(DUT)$ (Laranja), V_0 (Verde) e V_{BLK} (Roxo) Laboratoriais (Ganho Horizontal de $2,50\mu s/div$)



(c) Evoluções Temporais Tensões $V_{DS}(DUT)$ (Azul) e Corrente $I(R_{DC})$ (Roxo) Simuladas (Ganho Horizontal de $2,50\mu s/div$)

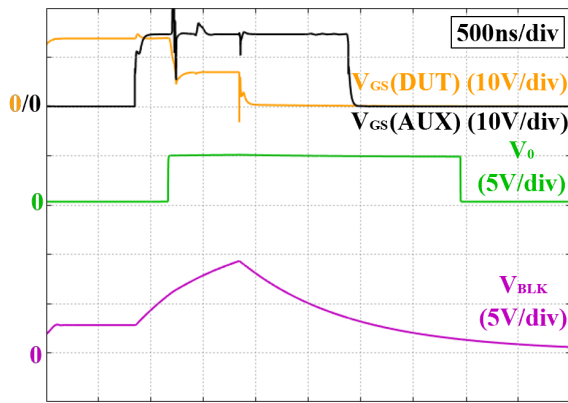


(d) Evoluções Temporais Corrente $I(R_{DC})$ (Azul) e Tensão $V_{DS}(DUT)$ (Roxo) Laboratoriais (Ganho Horizontal de $2,50\mu s/div$)

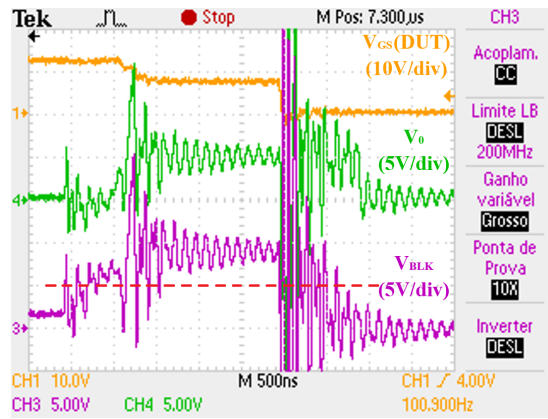
Figura 5.5: Evoluções Temporais para Estudo da Falha do Tipo FUL com Malha RC sem Atuação da Proteção

As evoluções temporais acima apresentadas, com a ampliação do período de estudo, encontram-se na figura 5.6. Consta-se que, em ambiente de simulação, o circuito de proteção requer cerca de $350ns$ desde a aplicação do sinal de comando do semiconductor de potência auxiliar até a saída do comparador histerético atingir a condição de basculamento $V_0 = V_{CC+}$. Já na implementação experimental este período apresenta o valor de $600ns$. Na figura 5.6b encontra-se a representação do limiar superior da histerese. Este patamar é idêntico para os ensaios posteriores.

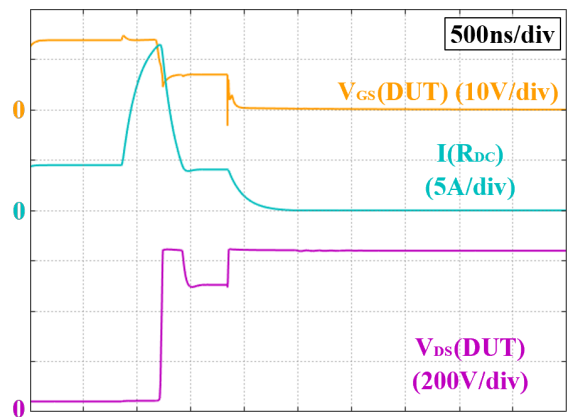
5.2. Circuito de Proteção de Sobrecorrente



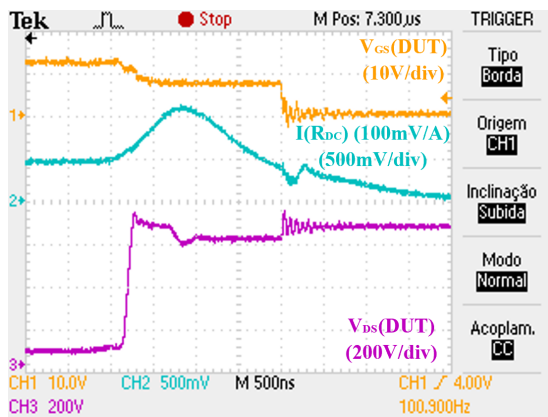
(a) Evoluções Temporais Tensões $V_{GS}(DUT)$ (Laranja), $V_{GS}(AUX)$ (Preto), V_0 (Verde), V_{BLK} (Roxo), Simuladas (Ganho Horizontal de 500ns/div)



(b) Evoluções Temporais Tensões $V_{GS}(DUT)$ (Laranja), V_0 (Verde) e V_{BLK} (Roxo) Laboratoriais (Ganho Horizontal de 500ns/div)



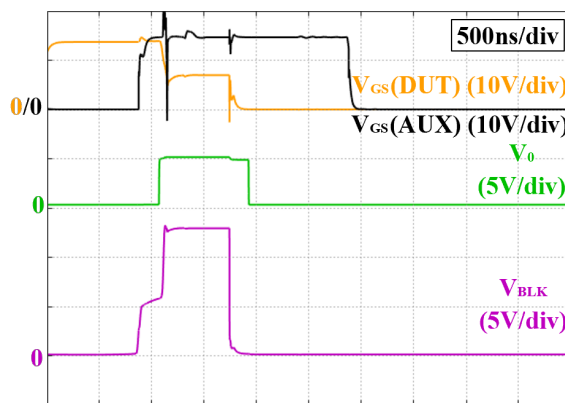
(c) Evoluções Temporais Tensão $V_{GS}(DUT)$ (Laranja), Corrente $I(R_{DC})$ (Azul) e Tensão $V_{DS}(DUT)$ (Roxo) Simuladas (Ganho Horizontal de 500ns/div)



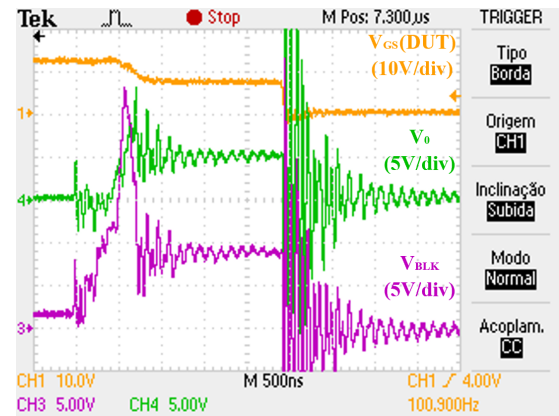
(d) Evoluções Temporais Tensão $V_{GS}(DUT)$ (Laranja), Corrente $I(R_{DC})$ (Azul) e Tensão $V_{DS}(DUT)$ (Roxo) Laboratoriais (Ganho Horizontal de 500ns/div)

Figura 5.6: Evoluções Temporais para Estudo da Falha do Tipo FUL com Malha RC e Atuação da Proteção

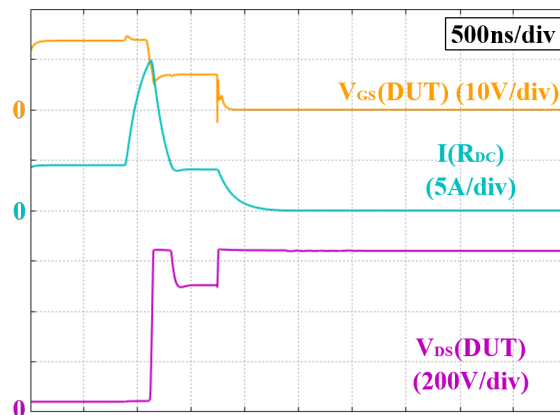
O mesmo ensaio, realizado agora com recurso ao circuito alternativo para realização do *blanking time*, parametrizado com $R_{BLK} = 1k\Omega$ e $C_{BLK} = 500pF$ encontra-se representado na figura 5.7. Considerando o mesmo intervalo temporal de medição acima definido, tal, permite que o mesmo possua o valor de 200ns em ambiente simulado, e de 500ns em ambiente experimental.



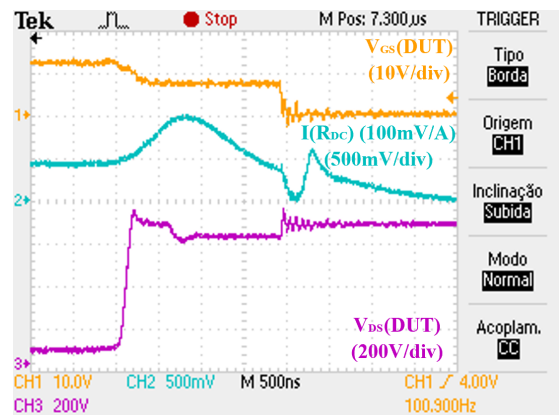
(a) Evoluções Temporais Tensões $V_{GS}(DUT)$ (Laranja), $V_{GS}(AUX)$ (Preto), V_0 (Verde), V_{BLK} (Roxo), Simuladas (Ganho Horizontal de 500ns/div)



(b) Evoluções Temporais Tensões $V_{GS}(DUT)$ (Laranja), V_0 (Verde) e V_{BLK} (Roxo) Laboratoriais (Ganho Horizontal de 500ns/div)



(c) Evoluções Temporais Tensão $V_{GS}(DUT)$ (Laranja), Corrente $I(R_{DC})$ (Azul) e Tensão $V_{DS}(DUT)$ (Roxo) Simuladas (Ganho Horizontal de 500ns/div)



(d) Evoluções Temporais Corrente Tensão $V_{GS}(DUT)$ (Laranja), $I(R_{DC})$ (Azul) e Tensão $V_{DS}(DUT)$ (Roxo) Laboratoriais (Ganho Horizontal de 500ns/div)

Figura 5.7: Evoluções Temporais para Estudo da Falha do Tipo FUL com Circuito Alternativo e Atuação da Proteção

Tabela 5.1: Tabela Síntese do Tempo de Atuação do Circuito de Proteção para a Falha do Tipo *Fault Under Load*

	Malha RC	Circuito Alternativo
Simulação	350ns	200ns
Experimental	600ns	500ns

A tabela 5.1 alberga, de forma sintetizada, os valor acima apresentados. Por consulta da mesma, verifica-se o teoricamente apresentado, relativo à maior velocidade de reação do circuito de proteção, quando em utilização do circuito alternativo, existindo em ambos os

casos, simulado e experimental, uma redução do tempo de resposta em aproximadamente 100ns. Tal redução no tempo de resposta permite, na presença de taxas de subida de corrente elevadas, reduzir o valor máximo alcançado pela mesma, como se pode constatar quer em ambiente simulado e experimental. Adicionalmente, verifica-se em ambos os casos dois períodos distintos de decrescimento da corrente. O primeiro, devido à redução da tensão do terminal da porta para um valor dado pelo diodo de Zener, e um segundo, após o corte do sinal de comando, consequência da existência do diodo roda livre, para garantia da continuidade de energia magnética armazenada no elemento indutivo.

A diferença observada, relativa à evolução da corrente, em ambiente simulado e experimental, é atribuída ao facto de a realização do estudo experimental laboratorial possuir um conjunto de indutâncias que não estão contabilizadas em ambiente de simulação, e que, conseqüentemente, providenciam um aumento da indutância global do sistema e um maior atraso no crescimento da corrente do mesmo.

5.2.2 Estudo Falha do Tipo *Hard Switch Fault*

A realização do estudo da falha do tipo HSF / *Hard Short-Circuit*, com a utilização do circuito alternativo de *blanking time*, por parte do circuito de proteção, requer, como descrito no capítulo 3.2.4, a parametrização do tempo morto, providenciado por este circuito, apenas no período de transição à condução do semiconductor de potência DUT. Na figura 5.8 apresentam-se as evoluções das tensões dos pontos $V_{GS}(DUT)$ (Laranja), V_B (Verde), V_D (Azul) e V_A (Roxo), com C_{BLK} e R_{BLK} , do circuito alternativo, a possuírem os valores acima apresentados de 500pF e 1k Ω , respetivamente. Em ambas as situações, simulação e experimental, verifica-se uma concordância de resultados entre ambos.

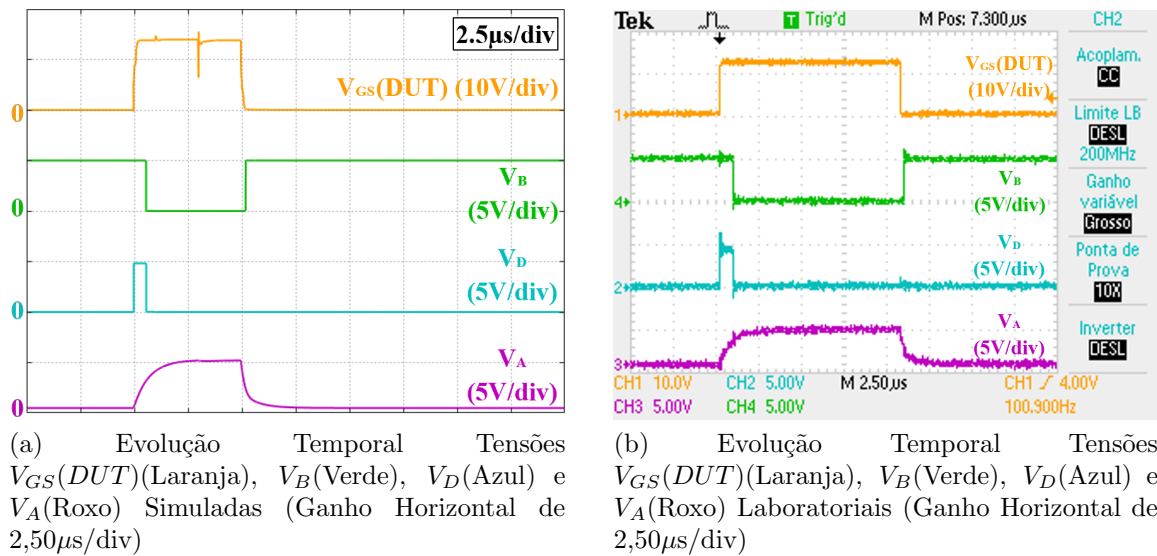
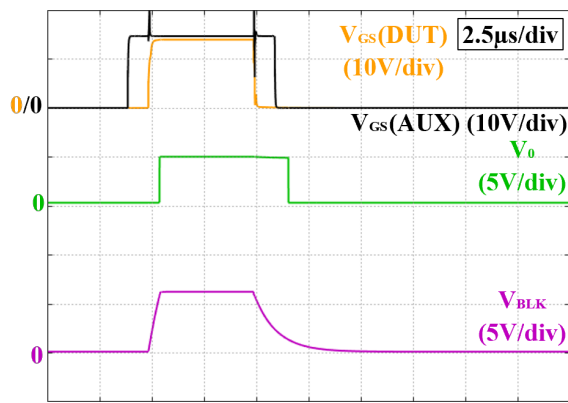
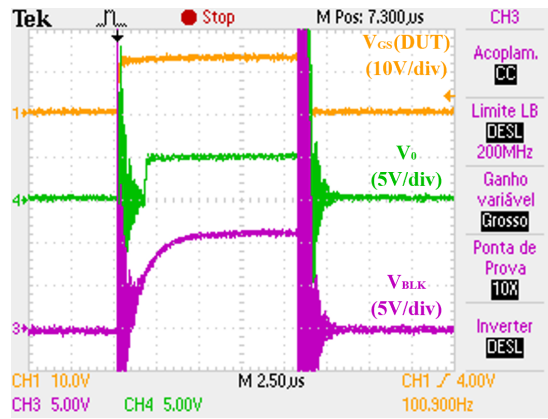


Figura 5.8: Evoluções Temporais Tensões Circuito Alternativo de *Blanking Time*

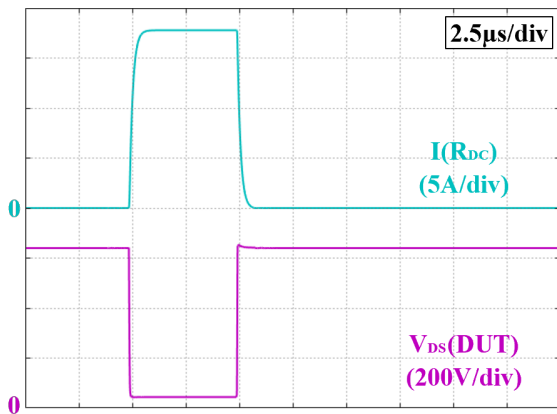
Para o presente estudo, as condições do ensaio realizado em 5.2.1 permanecem inalteradas, com exceção da resistência R_{AUX} , que agora encontra-se em curto-circuito, em ambiente laboratorial, de modo a que a corrente existente na carga seja a máxima (18A), quando o SP DUT entra à condução. Em ambiente de simulação, optou-se por alterar a parametrização do sinal de comando do SP AUX, para que este entra-se à condução antes do SP DUT, para obtenção do mesmo efeito que na implementação experimental. Na figura 5.9 apresentam-se os resultados obtidos com a utilização da malha RC, para realização do *blanking time*, sem a atuação da proteção. A ordem de representação das mesmas é em tudo idêntico ao definido em 5.2.1, e à semelhança deste, decidiu-se focar a análise no período a partir do qual é aplicado o sinal de comando do semiconductor de potência DUT, estando estas representadas na figura 5.10.



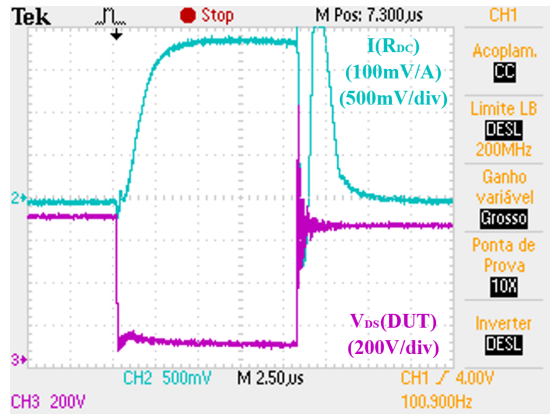
(a) Evoluções Temporais Tensões $V_{GS}(DUT)$ (Laranja), $V_{GS}(AUX)$ (Preto), V_0 (Verde), V_{BLK} (Roxo), Simuladas (Ganho Horizontal de $2,50\mu s/div$)



(b) Evoluções Temporais Tensões $V_{GS}(DUT)$ (Laranja), V_0 (Verde) e V_{BLK} (Roxo) Laboratoriais (Ganho Horizontal de $2,50\mu s/div$)



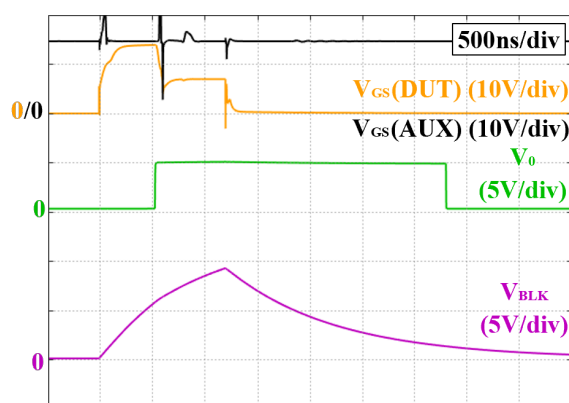
(c) Evoluções Temporais Tensões $V_{DS}(DUT)$ (Azul) e Corrente $I(R_{DC})$ (Roxo) Simuladas (Ganho Horizontal de $2,50\mu s/div$)



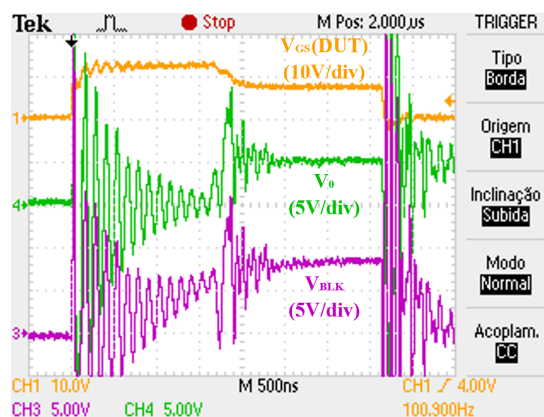
(d) Evoluções Temporais Corrente $I(R_{DC})$ (Azul) e Tensão $V_{DS}(DUT)$ (Roxo) Laboratoriais (Ganho Horizontal de $2,50\mu s/div$)

Figura 5.9: Evoluções Temporais para Estudo da Falha do Tipo HSF com Malha RC sem Atuação da Proteção

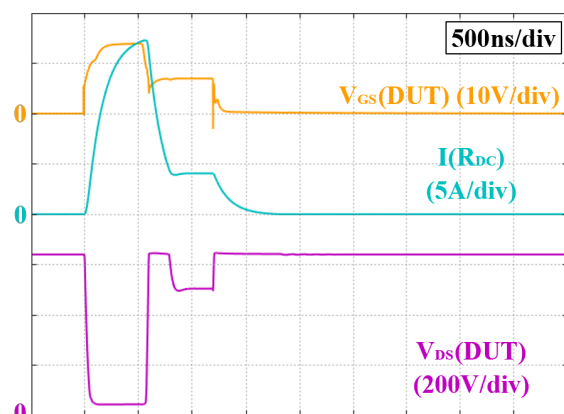
Constata-se que, em ambiente de simulação, o circuito de proteção requer cerca de $550ns$ desde aplicação do sinal de comando do semiconductor DUT, até a saída do comparador histerético atingir a condição de basculamento $V_0 = V_{CC+}$. Já na implementação experimental este período apresenta o valor de $1,7\mu s$.



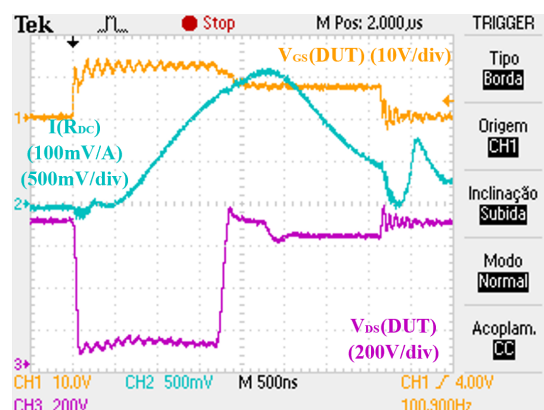
(a) [Evoluções Temporais Tensões $V_{GS}(DUT)$ (Laranja), $V_{GS}(AUX)$ (Preto), V_0 (Verde), V_{BLK} (Roxo), Simuladas (Ganho Horizontal de 500ns/div)



(b) Evoluções Temporais Tensões $V_{GS}(DUT)$ (Laranja), V_0 (Verde) e V_{BLK} (Roxo) Laboratoriais (Ganho Horizontal de 500ns/div)



(c) Evoluções Temporais Tensão $V_{GS}(DUT)$ (Laranja), Corrente $I(R_{DC})$ (Azul) e Tensão $V_{DS}(DUT)$ (Roxo) Simuladas (Ganho Horizontal de 500ns/div)

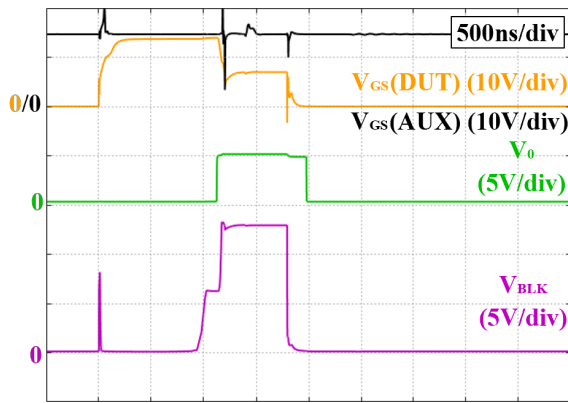


(d) Evoluções Temporais Tensão $V_{GS}(DUT)$ (Laranja), Corrente $I(R_{DC})$ (Azul) e Tensão $V_{DS}(DUT)$ (Roxo) Laboratoriais (Ganho Horizontal de 500ns/div)

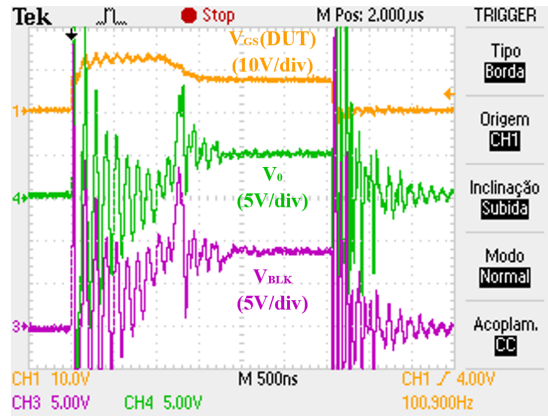
Figura 5.10: Evoluções Temporais para Estudo da Falha do Tipo HSF com Malha RC e Atuação da Proteção

O mesmo ensaio, realizado agora com recurso ao circuito alternativo para realização do *blanking time*, encontra-se representado na figura 5.11. Considerando o mesmo intervalo temporal de medição acima definido, tal, permite que o mesmo possua o valor de $1\mu s$ em ambiente de simulação, e de $1,1\mu s$ em ambiente experimental.

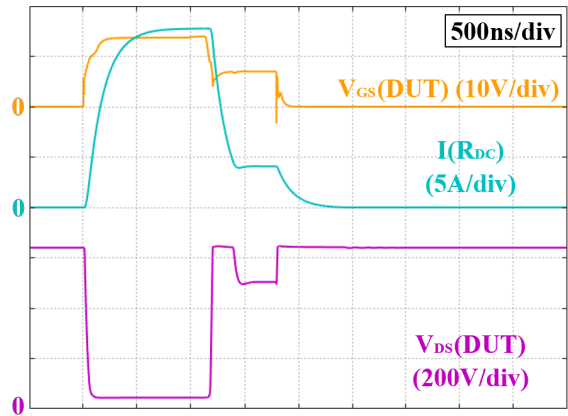
5.2. Circuito de Proteção de Sobrecorrente



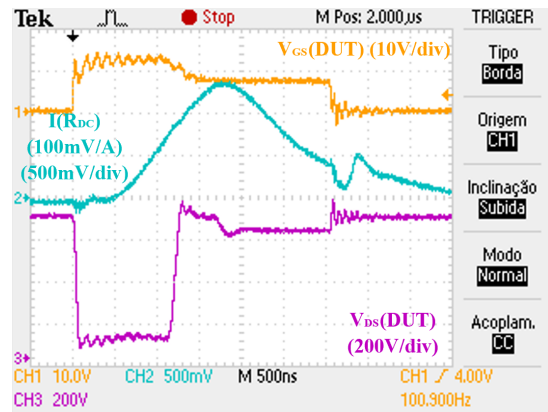
(a) Evoluções Temporais Tensões $V_{GS}(DUT)$ (Laranja), $V_{GS}(AUX)$ (Preto), V_0 (Verde), V_{BLK} (Roxo), Simuladas (Ganho Horizontal de 500ns/div)



(b) Evoluções Temporais Tensões $V_{GS}(DUT)$ (Laranja), V_0 (Verde) e V_{BLK} (Roxo) Laboratoriais (Ganho Horizontal de 500ns/div)



(c) Evoluções Temporais Tensão $V_{GS}(DUT)$ (Laranja), Corrente $I(R_{DC})$ (Azul) e Tensão $V_{DS}(DUT)$ (Roxo) Simuladas (Ganho Horizontal de 500ns/div)



(d) Evoluções Temporais Tensão $V_{GS}(DUT)$ (Laranja), Corrente $I(R_{DC})$ (Azul) e Tensão $V_{DS}(DUT)$ (Roxo) Laboratoriais (Ganho Horizontal de 500ns/div)

Figura 5.11: Evoluções Temporais para Estudo da Falha do Tipo HSF com Circuito Alternativo e Atuação da Proteção

Tabela 5.2: Tabela Síntese do Tempo de Atuação do Circuito de Proteção para a Falha do Tipo *Hard Switch Fault*

	Malha RC	Circuito Alternativo
Simulação	550ns	1 μ s
Experimental	1,7 μ s	1,1 μ s

A tabela 5.2 alberga, de forma sintetizada, os valor acima apresentados. As diferenças que se verificam entre a utilização da malha RC e do circuito alternativo, para a realização do *blanking time*, são atribuídas em parte devido ao valor de indutância intrínseco aos

ensaios laboratoriais, como descrito em 5.2.1, mas também devido à diferença das constantes de tempo utilizadas na malha RC isolada, e na malha RC do circuito alternativo. Estes resultados permitem comprovar que a falha do tipo HSF apresenta-se como mais severa para o sistema, devido à necessidade dos circuitos de proteção providenciarem a existência de um tempo morto inicial, em que a proteção está efetivamente "cega", para passagem do dispositivo semicondutor à condução, de modo a que não ocorram atuações indevidas da mesma.

Capítulo 6

Conclusão e Trabalho Futuro

Neste trabalho foram abordadas um conjunto de metodologias para a eficaz realização da proteção de sobrecorrente e sobretensão de semicondutores de potência do tipo MOSFET e IGBT. As características intrínsecas a cada dispositivo, bem como os desafios, que materiais emergentes como o carboneto de silício, impõem na realização e consequente execução das metodologias dos circuitos auxiliares que os protegem, foram apresentadas. Em concreto, realizou-se o estudo de um circuito ativo de proteção de sobrecorrente, com recurso a duas técnicas de dessaturação, e de um circuito de proteção de sobretensão com recurso a um diodo TVS bi-direcional. Foram realizados ensaios experimentais, em ambiente laboratoriais e simulado, de dois tipos de falha, a FUL/Soft Short-Circuit e a HSF/Hard Short-Circuit. Estes ensaios incidiram sobre o MOSFET SiC C2M0160120D 1200V/18A.

6.1 Conclusões

Quanto ao estudo do circuito de proteção de sobretensão, os resultados simulados e laboratoriais são concordantes, tendo-se observado uma eficaz redução da tensão máxima verificada aos terminais do dispositivo. Em concreto, para uma tensão nominal de 400V, a utilização da proteção de sobretensão permitiu reduzir um valor de tensão máximo de 650V para 500V.

Já no estudo do circuito de proteção de sobrecorrente, a implementação da técnica de dessaturação foi realizada com recurso a duas metodologias. Uma primeira com utilização de uma malha RC, e uma segunda por recurso a um circuito alternativo, ambos para realização do *blanking time*, necessário existir durante a passagem à condução do dispositivo, de modo a evitarem-se disparos indevidos. Uma das limitações da utilização da malha RC, para providenciar o tempo morto, está no facto de não ser possível a sua

remoção ou inibição, após a normal passagem à condução do semiconductor de potência.

Esta limitação não existe com a utilização do referido circuito alternativo, dado este apenas conferir uma instância de tempo morto, durante o período de passagem à condução do dispositivo. Apesar de esta particularidade não suscitar problemas na falha do tipo HSF, onde ambos os circuitos apresentam um desempenho semelhante, tal não pode ser dito para uma falha do tipo FUL.

Nesta última, verificou-se uma redução de cerca de 100ns no tempo de resposta do circuito de proteção, com a utilização do circuito alternativo de *blanking time* e em comparação com a utilização da malha RC, em ambos os ensaios experimentais laboratoriais e simulados. Tal permite que, na presença de elevadas taxas de variação da corrente, o valor máximo de corrente aos terminais do semiconductor seja inferior, com a utilização do circuito alternativo.

6.2 Trabalho Futuro

Como trabalho futuro estão a conceção de uma segunda placa de circuito impresso com recurso a técnicas melhoradas para imunização de ruído, a implementação de uma metodologia de proteção baseada na taxa de variação da corrente do terminal da fonte do dispositivo semiconductor a proteger, e posterior comparação do respetivo desempenho com as metodologias alvo de estudo no presente trabalho, bem como a realização da proteção ativa com recurso a um micro-controlador, para realização das funções lógicas.

Bibliografia

- [1] Robert D. Barnett. Short circuit protection: Challenges in the early years [history]. *IEEE Power and Energy Magazine*, 19(4):86–103, jul 2021.
- [2] Huai Wang, Ke Ma, and Frede Blaabjerg. Design for reliability of power electronic systems. In *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*. IEEE, oct 2012.
- [3] J. Norberto Pires. *Automação Industrial (5^a edição atualizada e aumentada)*. Lidel - edições técnicas, LDA, 2012.
- [4] Ned Mohan, William Robbins, and Tore Undeland. *Power electronics: Converters, Applications and Design*. John Wiley and Sons, New York: Wiley, 2 edition, 1995.
- [5] Zoltán Sütő and I. Nagy. Nonlinear dynamics and three-phase voltage source converters: Review. In *16th Int. Conference on Eletrical Drives and Power Eletronics Slovakia*, 09 2007.
- [6] L.Redondo. *Apontamentos sobre Semicondutores de Potência para Engenharia Electrotécnica*, March 2008.
- [7] Barry W. Williams. *Power electronics: Devices, Drivers, Applications and Passive Components*. Barry W. Williams, Glasgow, Scotland, 2006.
- [8] Semiconductor Group SIEMENS. Igbt fundamentals.
- [9] L. Wuidart B. Maurice. Drive circuits for power mosfets and igbts.
- [10] Lubin Han, Lin Liang, Yong Kang, and Yufeng Qiu. A review of SiC IGBT: Models, fabrications, characteristics, and applications. *IEEE Transactions on Power Electronics*, 36(2):2080–2093, feb 2021.
- [11] M. Rahimo, A. Kopta, S. Eicher, N. Kaminski, F. Bauer, U. Schlapbach, and S. Linder. Extending the boundary limits of high voltage IGBTs and diodes to above 8 kV. In *Proceedings of the 14th International Symposium on Power Semiconductor Devices and Ics*. IEEE, 2002.

- [12] Bob Callanan. Application considerations for silicon carbide mosfets. Cree Application Note, January 2011.
- [13] IEEE. *The IEEE standard dictionary of electrical and electronics terms*. Institute of Electrical and Electronics Engineers, 1996.
- [14] Phillip A. Laplante. *Comprehensive dictionary of electrical engineering*. CRC Press, 1999.
- [15] John G Webster. *Wiley encyclopedia of electrical and electronics engineering*. Wiley, December 1999.
- [16] R.S. Chokhawala, J. Catt, and L. Kiraly. A discussion on IGBT short-circuit behavior and fault protection schemes. *IEEE Transactions on Industry Applications*, 31(2):256–263, 1995.
- [17] Haoze Luo, Francesco Iannuzzo, Paula Diaz Reigosa, Frede Blaabjerg, Wuhua Li, and Xiangning He. Modern igbt gate driving methods for enhancing reliability of high-power converters — an overview. *Microelectronics Reliability*, 58:141–150, 2016. Reliability Issues in Power Electronics.
- [18] R.S. Chokhawala and S. Sobhani. Switching voltage transient protection schemes for high-current IGBT modules. *IEEE Transactions on Industry Applications*, 33(6):1601–1610, 1997.
- [19] Robert W. Maier and Mark-M. Bakran. Active clamping method for SiC MOSFET high power modules - benefits and limits. In *2020 22nd European Conference on Power Electronics and Applications (EPE'20 ECCE Europe)*. IEEE, sep 2020.
- [20] Nadir Idir, Robert Bausiere, and Jean Jacques Franchaud. Active gate voltage control of turn-on di/dt and turn-off dv/dt in insulated gate transistors. *IEEE Transactions on Power Electronics*, 21(4):849–855, jul 2006.
- [21] ROHM. Sic power devices and modules. No. 63AN102E Rev.003, November 2020.
- [22] Xing Huang, Gangyao Wang, Yingshuang Li, Alex Q. Huang, and B. Jayant Baliga. Short-circuit capability of 1200v SiC MOSFET and JFET for fault protection. In *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*. IEEE, mar 2013.
- [23] Asad Fayyaz, Li Yang, and Alberto Castellazzi. Transient robustness testing of silicon carbide (SiC) power MOSFETs. In *2013 15th European Conference on Power Electronics and Applications (EPE)*. IEEE, sep 2013.

- [24] G. Romano, L. Maresca, M. Riccio, V. d'Alessandro, G. Breglio, A. Irace, A. Fayyaz, and A. Castellazzi. Short-circuit failure mechanism of SiC power MOSFETs. In *2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*. IEEE, may 2015.
- [25] L.Redondo. *Apontamentos sobre Amplificadores Operacionais para Engenharia Electrotécnica*, March 2008.
- [26] J. A. Brandão Faria. *Análise de Circuitos*. IST - Instituto Superior Técnico, 3 edition, 2016.

Anexo A

Circuitos Simulados em Software *LTspice*

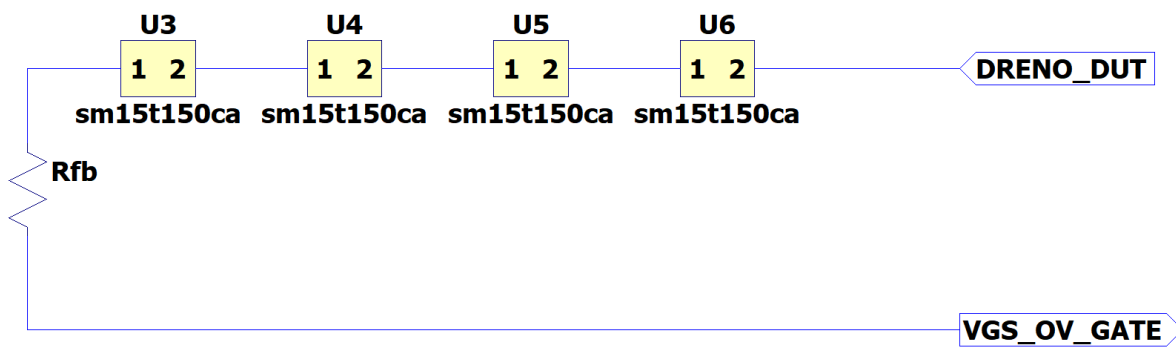


Figura A.1: Representação do Circuito de Proteção de Sobretensão em *LTspice*

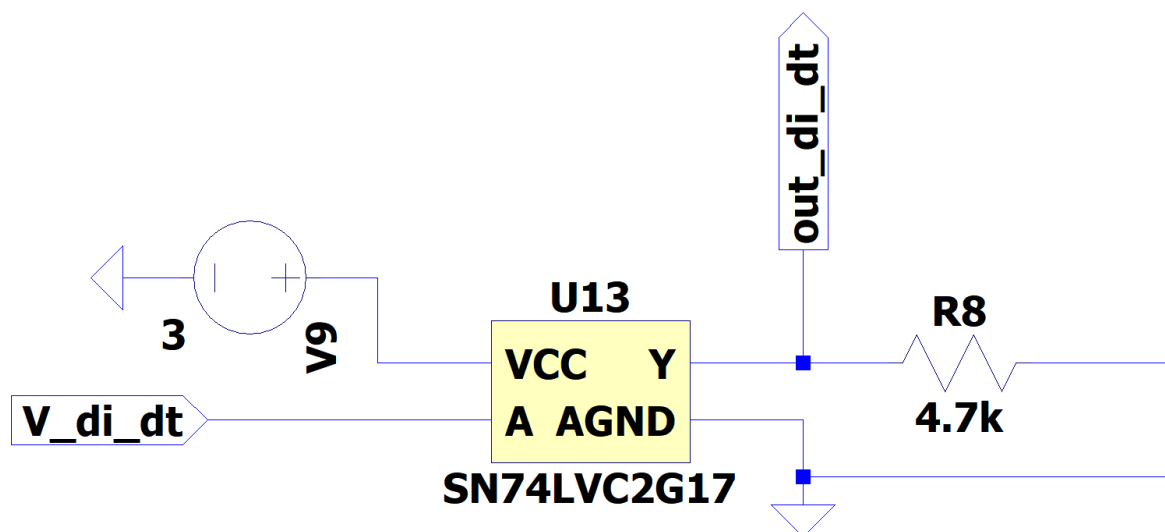


Figura A.2: Representação Parte Integrante do Circuito de Proteção por di/dt em *LTspice*

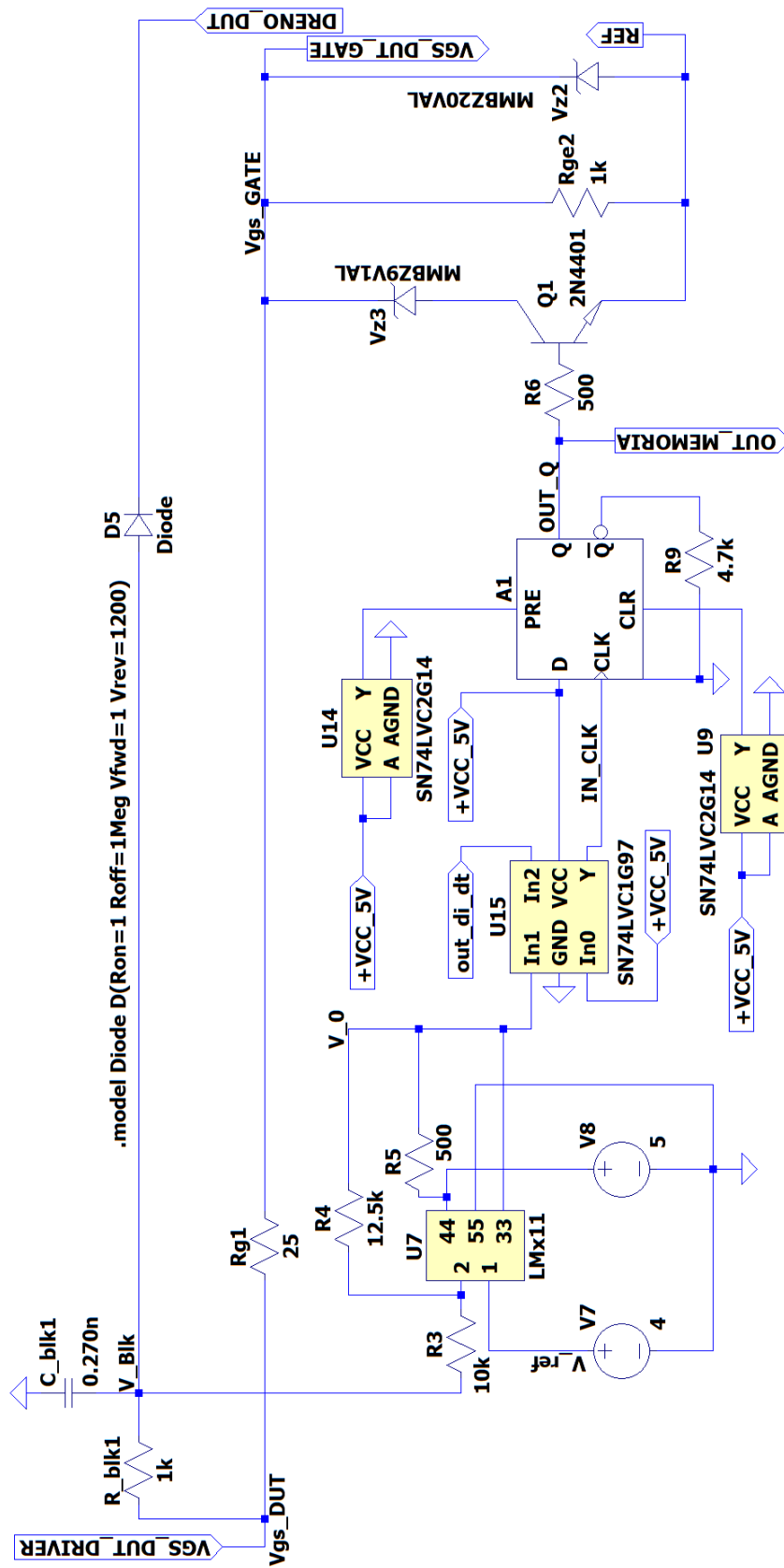


Figura A.4: Representação do Circuito de Proteção Ativa de Sobrecorrente em *LTspice*

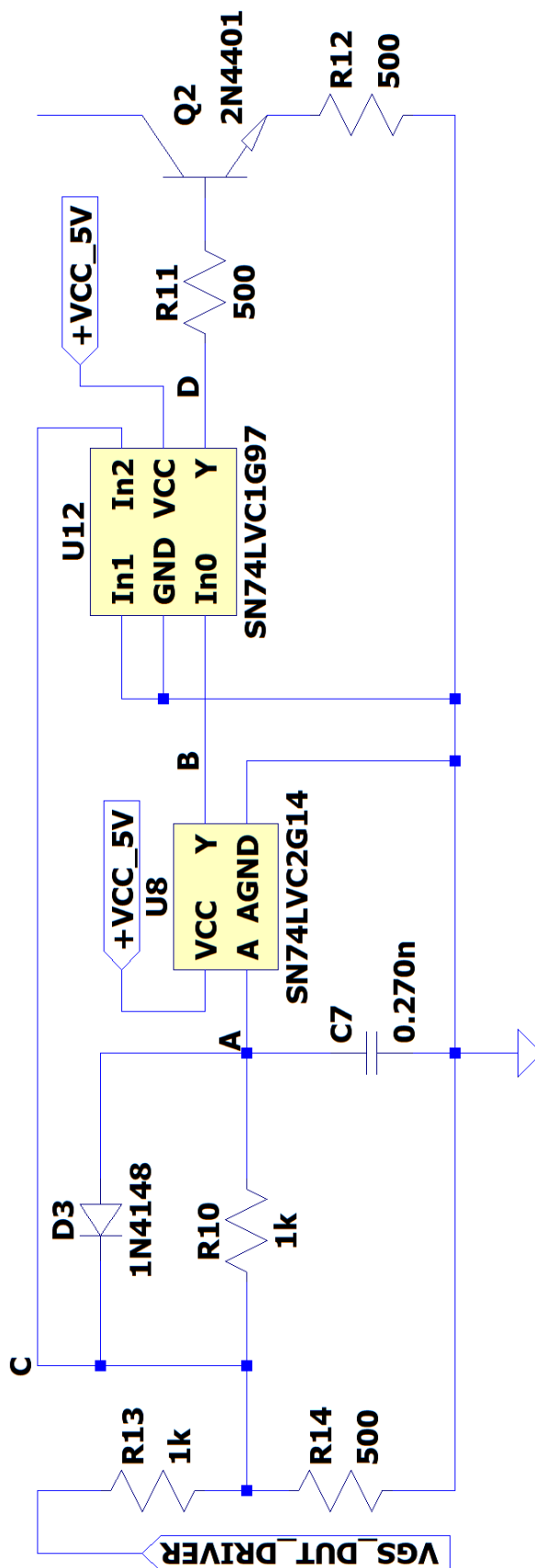


Figura A.5: Representação do Circuito Alternativo de *Blanking Time* em *LTspice*